

УДК 621.3.049.77

ВРЕМЕННОЙ АНАЛИЗ ИНТЕГРАЛЬНЫХ СХЕМ С УЧЕТОМ МОДЕЛЕЙ КОНТАКТНЫХ ПЛОЩАДОК И ПРОВОДНИКОВ РАЗВАРКИ

Н.Н. Невирковец^{a,b}, Н.М. Чернецкая^a, Д.В. Костыгов^a, Я.В. Беляев^a

^a АО «Концерн «ЦНИИ «Электрон», Санкт-Петербург, 197046, Российская Федерация

^b Санкт-Петербургский государственный электротехнический университет (ЛЭТИ), Санкт-Петербург, 197376, Российская Федерация

Адрес для переписки: nevirkovets.nn@gmail.com

Информация о статье

Поступила в редакцию 26.01.18, принята к печати 27.02.18

doi: 10.17586/2226-1494-2018-18-2-339-345

Язык статьи – русский

Ссылка для цитирования: Невирковец Н.Н., Чернецкая Н.М., Костыгов Д.В., Беляев Я.В. Временной анализ интегральных схем с учетом моделей контактных площадок и проводников разварки // Научно-технический вестник информационных технологий, механики и оптики. 2018. Т. 18. № 2. С. 339–345. doi: 10.17586/2226-1494-2018-18-2-339-345

Аннотация

Предмет исследований. Исследован временной анализ как критический этап при проектировании интегральных схем. Применение анализа позволяет обнаружить различные типы ошибок, связанных как со структурой блоков, так и с нарушением временных характеристик на всех уровнях абстракции. Особой задачей является обнаружение ошибки в интерфейсных блоках интегральной схемы, так как в ином случае конечное устройство может не соответствовать требованиям динамических характеристик. **Метод.** Предложена методика временного анализа интегральной схемы с учетом моделей контактных площадок и разварки корпуса, предназначенная для учета влияния параметров контактных площадок, проводников разварки и внешних аналоговых компонентов. Методика является расширением традиционного маршрута верификации интегральных схем с добавлением этапов по анализу и моделированию параметров контактных площадок и проводников разварки. **Основные результаты.** Методика использована при верификации интерфейсного блока I2C по технологии 350 нм, который входит в состав интегральной схемы микромеханического акселерометра. Применение методики позволило обнаружить ошибки, не выявленные при разработке интегральной схемы согласно традиционному маршруту проектирования. Определены динамические характеристики контроллера I2C при подключении шин SCK и SDA к напряжению питания через резистор сопротивлением 10 кОм. **Практическая значимость.** Предложенная методика может быть использована при проектировании интерфейсных блоков интегральных схем. Она позволяет учесть влияние параметров контактных площадок интегральной схемы, корпуса интегральной схемы, проводников разварки и внешних компонентов на динамические характеристики схемы. Из-за больших аппаратных затрат методику целесообразно применять для критически важных блоков, в частности, интерфейсных, неработоспособность которых может привести к невозможности обмена данными интегральной схемы с потребителем и, как следствие, большим денежным затратам на новый этап разработки.

Ключевые слова

микромеханический акселерометр, интегральные схемы, временной анализ, верификация интегральных схем

Благодарности

Работа проводилась при поддержке гранта РФФИ 16-08-000640.

INTEGRATED CIRCUITS TIMING ANALYSIS WITH ACCOUNT OF PAD MODELS AND BOND WIRES

N.N. Nevirkovets^{a,b}, N.M. Chernetskaya^a, D.V. Kostygov^a, Ya.V. Belyaev^a

^a Concern "CSRI Elektropribor", Saint Petersburg, 197046, Russian Federation

^b Saint Petersburg Electrotechnical University (LETI), Saint Petersburg, 197376, Russian Federation

Corresponding author: nevirkovets.nn@gmail.com

Article info

Received 26.01.18, accepted 27.02.18

doi: 10.17586/2226-1494-2018-18-2-339-345

Article in Russian

For citation: Nevirkovets N.N., Chernetskaya N.M., Kostygov D.V., Belyaev Ya.V. Integrated circuits timing analysis with account of pad models and bond wires. *Scientific and Technical Journal of Information Technologies, Mechanics and Optics*, 2018, vol. 18, no. 2, pp. 339–345 (in Russian). doi: 10.17586/2226-1494-2018-18-2-339-345

Abstract

Subject of Research. Timing analysis is an important stage in the design of integrated circuits. It makes possible to detect various types of errors, related both to the structure of blocks and to the violation of temporal characteristics at all levels of abstraction. It is especially important to detect errors in the interface blocks of the integrated circuit, since, otherwise, the final device may not meet the requirements of dynamic characteristics. **Method.** A technique for timing analysis of the integrated circuit is proposed considering the models of the contact pads and package bond wires, designed for taking into account the effect of the parameters of contact pads, bond wires, and external analog components. The technique is an extension of the standard IC verification flow with the addition of stages for analyzing and modeling of the contact pad parameters and bond wires. **Main Results.** The technique was used to verify the I2C interface block according to 350 nm technology. The I2C interface was included in the integrated circuit of a micromechanical accelerometer. The technique gives the possibility for detecting of errors that were not revealed during the integrated circuit design in accordance with the traditional design flow. The dynamic characteristics of the I2C controller were determined when connecting the SCK and SDA buses to the supply voltage through a resistor of 10 k Ω . **Practical Relevance.** The proposed technique can be used in the design of integrated circuit interface blocks. The technique takes into account the effect of the parameters of the contact pads and package of the integrated circuit, bond wires and external components on the dynamic characteristics of the circuit. It is advisable to use the technique for critical blocks, in particular, interface ones, the inoperability of which can lead to the impossibility of exchanging IC data with the consumer and, as a result, high financial costs for a new stage of IC design.

Keywords

micromechanical accelerometer, integrated circuits, digital integrated circuits, timing analysis, register-transfer model

Acknowledgements

This work was supported by the project no. 16-08-00640 of the Russian Foundation for Basic Research, the Russian Federation.

Введение

Миниатюризация и повышение требований к электронным устройствам ускорили развитие интегральных технологий, что выдвинуло на первый план задачу повышения надежности интегральных схем (ИС) на этапе их проектирования. Как правило, необходимо выполнить ряд запусков на кремниевой фабрике для получения ИС, удовлетворяющих техническим требованиям, что подразумевает расходы на каждую итерацию проектирования и изготовления. Для уменьшения издержек на этапах разработки и изготовления ИС и ускорения выхода на рынок необходимо свести к минимуму риски возникновения всевозможных ошибок на этапе проектирования.

На функционирование схемы существенное влияние оказывают вариации параметров элементов схемы, технологический разброс параметров транзисторов, изменение напряжения питания и температуры окружающей среды, различные деградационные изменения. Вариации параметров элементов схемы проявляются, прежде всего, в изменении временных характеристик, которые обусловлены случайным изменением размеров транзисторов [1]. Их игнорирование может привести к ошибкам в цифровых блоках и к неработоспособности всей ИС в целом, что влечет большие расходы на очередную итерацию производства на кремниевой фабрике. Данные вариации можно учесть посредством временного анализа, что позволяет повысить надежность проектируемого устройства путем уменьшения вероятности возникновения ошибок, поэтому он является важным этапом в процессе проектирования ИС.

Основной задачей временного анализа является проверка соответствия временных характеристик схемы, таких как время распространения сигнала до некоторого узла схемы, запас между предельно допустимой и фактической задержкой сигнала и др. [2, 3], техническим требованиям. Проверка осуществляется путем анализа критического пути схемы, что позволяет определить максимальное быстроедействие схемы и в дальнейшем, скорректировав RTL (Register Transfer Level)-модель, параметры синтеза или топологии, улучшить временные характеристики. Кроме этого, осуществляется проверка по времени установки и удержания сигнала.

Существующие методы временного анализа ИС разделяют на две группы – статические и динамические [4]. Основой статического временного анализа в современных автоматизированных системах проектирования является алгоритм обхода ориентированного взвешенного графа [5], соответствующего некоторой части синхронной схемы, что позволяет определить критические пути схемы. Динамические методы временного анализа основаны на моделировании работы схемы и осуществляются на каждом этапе традиционного маршрута проектирования цифровых блоков ИС [6–10].

Современные методы временного анализа не рассматривают изменения временных характеристик цифровых блоков ИС при их взаимодействии с контактными площадками кристалла ИС. Кроме того, не оценивается влияние паразитных параметров проводников разводки и контактных площадок корпуса на параметры ИС. В работе рассматривается предложенная методика временного анализа блоков ИС с учетом параметров контактных площадок, внешних аналоговых компонентов и влияния разводки на их временные характеристики, являющаяся расширением традиционного маршрута верификации ИС. Приведены результаты временного анализа цифровых блоков ИС для микромеханического акселерометра (ММА) с использованием традиционного маршрута проектирования. По предложенной методике проведена верификация интерфейсного блока, входящего в состав ММА.

Статический временной анализ цифровых ИС

Целью статического временного анализа является определение самых коротких и самых длинных путей распространения сигнала от входов до выходов схемы. Результат работы алгоритма представляет собой набор критических путей комбинационной схемы.

Статический анализатор рассматривает все допустимые пути прохождения сигнала в схеме, что требует больших объемов оперативной памяти вычислительного устройства. Несмотря на это, статический временной анализ работает на порядки быстрее динамического, что делает его единственным методом, пригодным для верификации сложных схем, проектируемых с использованием современных субмикронных технологий. Статический временной анализ применяется при проектировании на уровне регистровых передач для оценки быстродействия цифровой схемы.

Рассмотрим выполнение статического временного анализа техпроцесса 350 нм с подключением библиотеки стандартных ячеек фабрики AMS (Austria Mikro Systeme) на примере интерфейсного блока I2C, выполняющего функции ведущего и ведомого устройства. Согласно техническим условиям, частота тактирующего сигнала блока должна составлять 25 МГц. На рис. 1 представлен отчет о максимальном критическом пути блока I2C, из которого следует, что разность между предельно допустимой и фактической задержкой сигнала равна приблизительно 24 нс, задержка распространения сигнала составляет 8 нс. Таким образом, для выбранной технологии устройство может корректно функционировать при частоте тактирующего сигнала до 125 МГц.

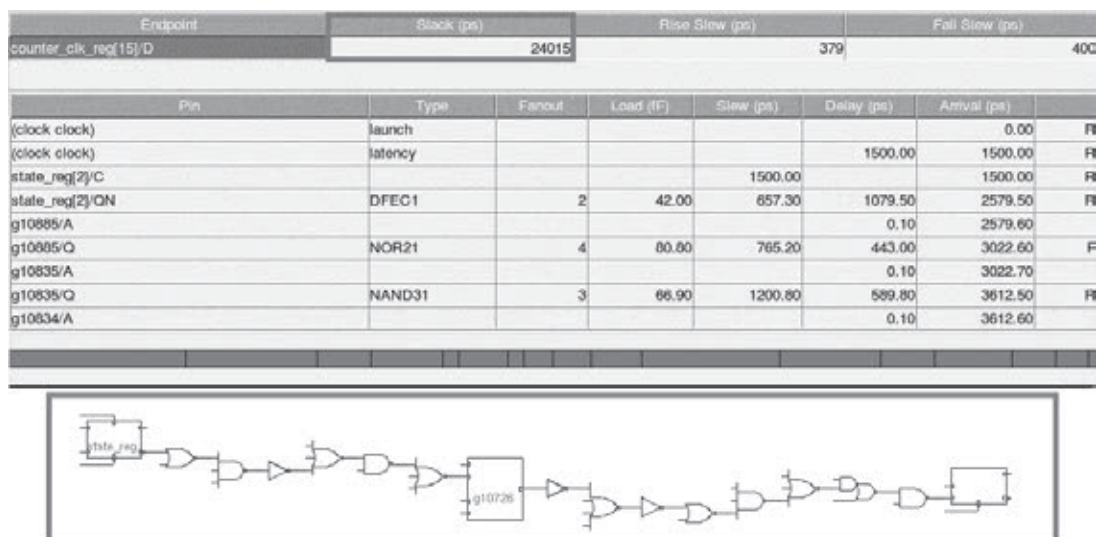


Рис. 1. Результат проведения статического временного анализа блока I2C

Однако классические алгоритмы статических временных анализаторов не учитывают логическую структуру схемы, поэтому среди выявленных критических путей могут существовать ложные, не реализуемые при всех значениях входных сигналов ИС [4].

Динамический временной анализ цифровых ИС

Динамический временной анализ осуществляется на трех уровнях абстракции – поведенческом, вентиляном и транзисторном.

На поведенческом уровне выполняется верификация схем, разработанных на языках описания аппаратуры (VHDL, Verilog, SystemC), путем проведения прямых и случайных тестов с последующей корректировкой описания модели устройства, устраняющей функциональные ошибки.

На вентиляном уровне проводится моделирование синтезированной электрической схемы соединений стандартных логических ячеек из библиотеки фабрики-изготовителя. Моделирование выполняется с учетом заданных фабрикой-изготовителем значений временных задержек каждой ячейки.

На этом уровне абстракции возможны ошибки неправильного построения электрической схемы соединений в процессе выполнения этапов синтеза вследствие неверного задания ограничений. Такими ограничениями могут быть частота и дрейбзг тактового сигнала, время установки и удержания сигнала, паразитные емкости, нагрузки на выходные порты, условия эксплуатации, напряжение питания и др. Исходя из этого, требуется максимально формализовать технические требования к цифровой части ИС, так как для более жестких условий система автоматического проектирования увеличивает количество ячеек, что уменьшает быстродействие и увеличивает площадь кристалла, однако положительно сказывается на надежности устройства.

На уровне транзисторов проведение динамического временного анализа заключается в моделировании топологии с паразитными параметрами, сгенерированными системой автоматического проектирования с учетом всех заданных разработчиком ограничений проектирования топологии и временных ограничений по установке и удержанию сигналов, полученных на этапе выполнения синтеза.

Моделирование на уровне транзисторов рассмотрим для блока SPI (Serial Peripheral Interface), представляющего собой последовательный четырехпроводной интерфейс. Для задания входных воздействий использовалась разработанная автоматизированная система верификации, включающая в себя текстовый файл с сообщениями результатов автоматического тестирования и файлы временных диаграмм.

Результат выполнения моделирования на вентиляном уровне блока SPI представлен на рис. 2.

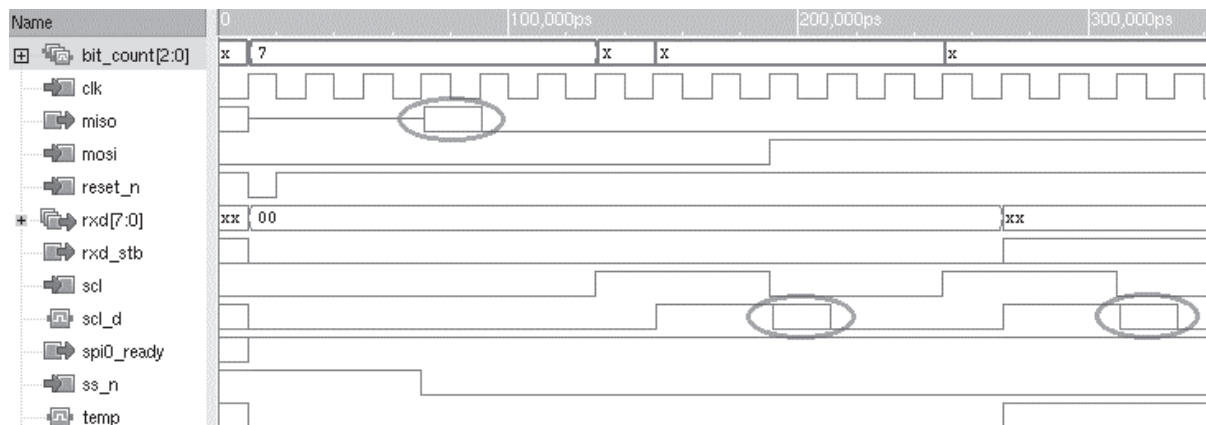


Рис. 2. Временная диаграмма моделирования на вентиляном уровне блока SPI

На рис. 2 приведена временная диаграмма с ошибками нарушения времени удержания триггера сигнала SCL (Serial Clock), что могло привести к непредсказуемому поведению ИС. Для устранения ошибок на вход цепей MOSI (Master Out Slave In) и SCL были добавлены D-триггеры.

Таким образом, моделирование цифровых блоков на уровне транзисторов позволило обнаружить ошибки нарушения времени установки и удержания сигналов на триггерах.

Методика временного анализа с учетом параметров контактных площадок ИС и влияния разварки

Временной анализ позволяет выявить ошибки внутри цифровых блоков ИС. При его проведении в рамках существующих методик не удастся оценить изменения временных характеристик цифровых блоков при их взаимодействии с контактными площадками кристалла, а также влияние паразитных параметров проводников разварки и контактных площадок корпуса на параметры ИС [11, 12]. Для учета данных параметров предлагается методика, состоящая из следующих этапов:

1. Анализ паразитных параметров контактных площадок интегральной схемы после их экстракции из разработанной топологии;
2. Анализ параметров проводников, используемых для разварки в корпусе;
3. Анализ параметров контактных площадок корпуса, в который планируется поместить ИС.;
4. Построение схемотехнической модели устройства с учетом параметров контактных площадок ИС и корпуса ИС, а также проводников разварки;
5. Проведение моделирования, по результатам которого в случае необходимости выполняется коррекция схемотехнической модели устройства.

Параметры проводников разварки и контактных площадок корпуса определяются для проводников типом используемого металла, его длиной и толщиной сечения, расстоянием между проводниками, а для контактных площадок корпуса – типом используемого корпуса. Кроме этого, паразитные параметры корпуса и проводников разварки могут быть определены с использованием зондовой станции.

Маршрут верификации ИС с применением предлагаемой методики приведен на рис. 3.

Для учета вышеперечисленных параметров необходимо провести моделирование топологии ИС в Cadence Virtuoso, что обычно не предусматривается в традиционном маршруте проектирования цифровых блоков заказных ИС [6–10]. Это позволит наиболее точно проверить поведение всей системы с учетом SPICE-моделей как стандартных ячеек, так и контактных площадок кристалла. Дополнительно возможно подключение внешних элементов, например, резистивных и емкостных моделей проводников разварки ИС. Кроме этого, моделирование на уровне транзисторов позволяет объединить цифровую и аналоговую части ИС, что дает возможность оценить их влияние друг на друга и, если это необходимо, внести корректировки в топологию кристалла. Немаловажным является и тот факт, что данная методика позволяет верифицировать ИС совместно с моделями внешних элементов, которые могут быть добавлены в

корпус посредством микросборки или размещаются на печатной плате, в состав которой входит корпусированная ИС.

Рассмотрим моделирование на уровне транзисторов интерфейсного блока I2C MMA. Схема подключения блока приведена на рис. 4.

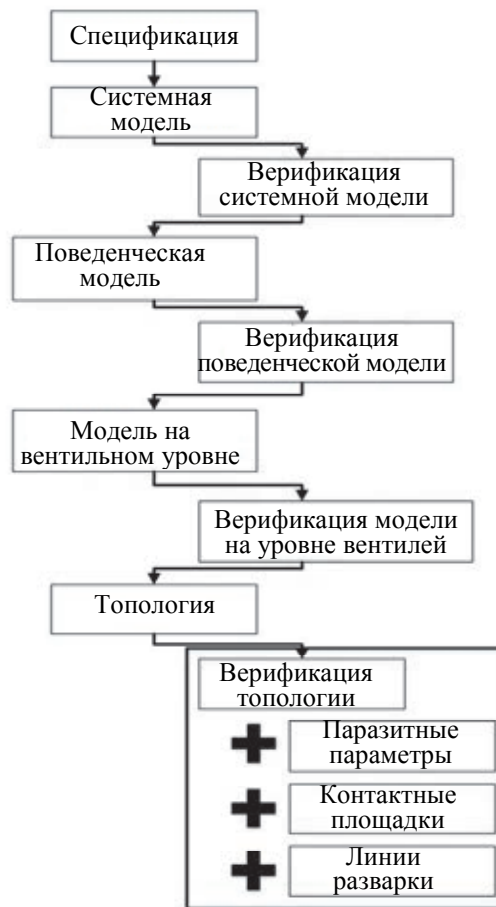


Рис. 3. Маршрут верификации интегральных схем с применением предлагаемой методики

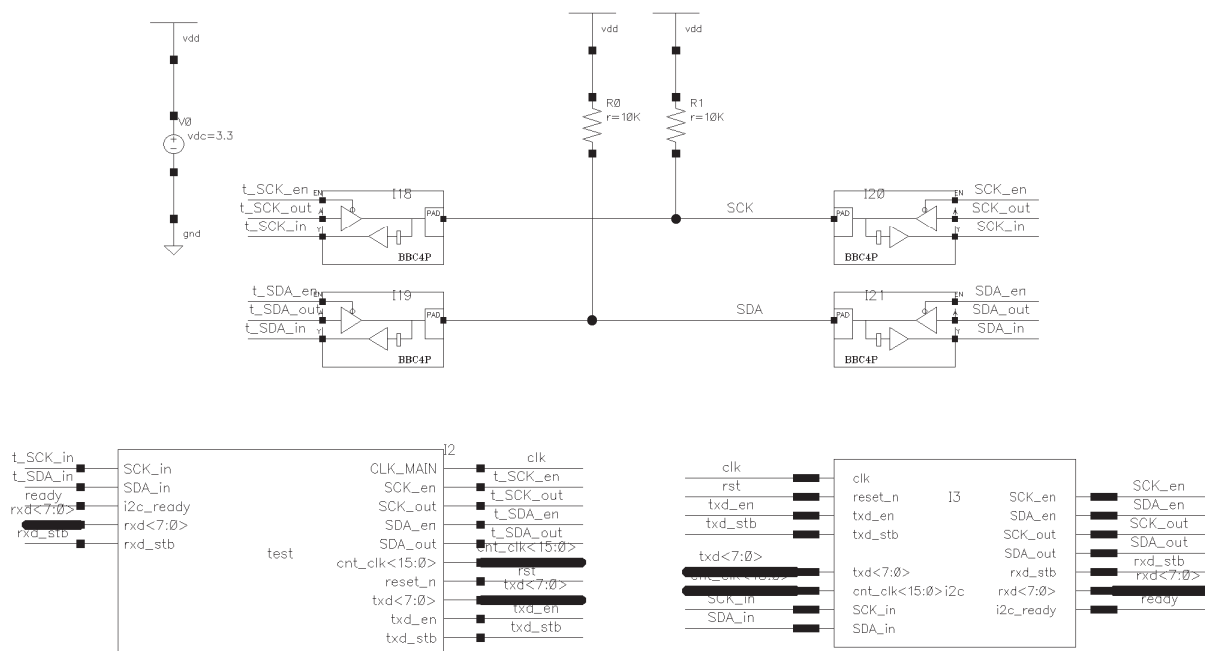


Рис. 4. Схема подключения блока I2C

2. Amon T., Borriello G. An approach to symbolic timing verification // Proc. 29th ACM/IEEE Design Automation Conference. Anaheim, USA, 1992. P. 410–413.
3. Gladstone B. Accurate timing analysis holds the key to performance in today's system designs // EDA. 1993.
4. Соловьев Р.А., Глебов А.Л., Гаврилов С.В. Статический временной анализ с обнаружением ложных проводящих путей на основе логических импликаций // Проблемы разработки перспективных микроэлектронных систем (МЭС). Сборник трудов. 2006. С. 22–28.
5. Князев Н.А., Малинаускас К.К. Алгоритмы поиска критических путей в задаче статического временного анализа СБИС // Информационные технологии. 2012. № 11. С. 2–9.
6. Kaesli H. Digital Integrated Circuit Design: from VLSI Architectures to CMOS Fabrication. Cambridge University, 2008. 866 p.
7. Allan G. Digital IC Design Flow. Royal Military College of Canada, 2008.
8. de Graaf A.C., van Leuken T.G.R. Digital Design Flow. Delft University of Technology, Switzerland, 2006.
9. Vachoux A. Top-Down Digital Design Flow. EPFL, Lausanne, Switzerland, 2011.
10. Аникина А.А., Костыгов Д.В., Невирковец Н.Н. Маршрут проектирования цифровых блоков для специализированных интегральных схем в среде Cadence // Сб. 69-ая научно-техническая конференция профессорско-преподавательского состава университета СПбГЭТУ «ЛЭТИ». Санкт-Петербург, 2016. С. 121–126.
11. Tsai T.-Y., Chen S.-H., Chen Y.-F. A precise timing budgeting flow for SiP co-design // Proc. Design Automation Conference, 2010.
12. Lee Y.-J., Lim S.K. Timing analysis and optimization for many-tier 3D ICs // Proc. IEEE International 3D System Integration Conference, 2010.
13. Rabaey J.M., Chandrakasan A., Nolic B. Digital Integrated Circuits. A Design Perspective. 2nd ed. Prentice Hall, 2003. 761 p.
14. CMOS Processes 0.35µm [Электронный ресурс]. Режим доступа: <http://ams.com/eng/Products/Full-Service-Foundry/Process-Technology/CMOS>, своб. (дата обращения: 02.03.2018).
15. Overhauser D. Fast Timing Simulation of MOS VLSI Circuits. PhD thesis. University of Illinois, 1989.
16. Dharchoudhury A., Kang S.M., Kim K.H., Lee S.H. Fast and accurate timing simulation with region wise quadratic models of MOS I-V characteristics // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. 1994. P. 190–194.
2. Amon T., Borriello G. An approach to symbolic timing verification. Proc. 29th ACM/IEEE Design Automation Conference. Anaheim, USA, 1992, pp. 410–413.
3. Gladstone B. Accurate timing analysis holds the key to performance in today's system designs. EDA, 1993.
4. Solov'ev R.A., Glebov A.L., Gavrilov S.V. Static time analysis with detection of false conductive paths based on logical implication. Proc. Problems of Advanced Micro- and Nanoelectronic Systems Development, 2006, pp. 22–28. (in Russian)
5. Knyazev N.A., Malinauskas K.K. Critical path search algorithms for static timing analysis of digital. Information Technology, 2012, no. 11, pp. 2–9. (in Russian)
6. Kaesli H. Digital Integrated Circuit Design: from VLSI Architectures to CMOS Fabrication. Cambridge University, 2008, 866 p.
7. Allan G. Digital IC Design Flow. Royal Military College of Canada, 2008.
8. de Graaf A.C., van Leuken T.G.R. Digital Design Flow. Delft University of Technology, Switzerland, 2006.
9. Vachoux A. Top-Down Digital Design Flow. EPFL, Lausanne, Switzerland, 2011.
10. Anikina A.A., Kostygov D.V., Nevirkovets N.N. The route of designing of digital blocks for specialized integrated circuits in Cadence. Proc. 69th Scientific and Technical Conference of the Faculty Members SPbSETU LETI. St. Petersburg, 2016, pp. 121–126. (in Russian)
11. Tsai T.-Y., Chen S.-H., Chen Y.-F. A precise timing budgeting flow for SiP co-design. Proc. Design Automation Conference, 2010.
12. Lee Y.-J., Lim S.K. Timing analysis and optimization for many-tier 3D ICs. Proc. IEEE International 3D System Integration Conference, 2010.
13. Rabaey J.M., Chandrakasan A., Nolic B. Digital Integrated Circuits. A Design Perspective. 2nd ed. Prentice Hall, 2003, 761 p.
14. CMOS Processes 0.35µm. Available at: <http://ams.com/eng/Products/Full-Service-Foundry/Process-Technology/CMOS> (accessed: 02.03.2018).
15. Overhauser D. Fast Timing Simulation of MOS VLSI Circuits. PhD thesis. University of Illinois, 1989.
16. Dharchoudhury A., Kang S.M., Kim K.H., Lee S.H. Fast and accurate timing simulation with region wise quadratic models of MOS I-V characteristics. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1994, pp. 190–194.

Авторы

Невирковец Николай Николаевич – младший научный сотрудник, АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация; аспирант, Санкт-Петербургский государственный электротехнический университет (ЛЭТИ), Санкт-Петербург, 197376, Российская Федерация, Scopus ID: 57195506419, ORCID ID: 0000-0003-2062-506X, nevirkovets.nn@gmail.com

Чернецкая Наталья Михайловна – инженер, АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация, ORCID ID: 0000-0002-7085-0348, natali030594@gmail.com

Костыгов Дмитрий Владимирович – младший научный сотрудник, АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация, Scopus ID: 57189243101, ORCID ID: 0000-0003-4379-5803, dkost92@mail.ru

Беляев Яков Валерьевич – кандидат технических наук, начальник НТЦ «Дизайн-центр», АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация, Scopus ID: 56382180100, ORCID ID: 0000-0003-1971-9069, jak0b@mail.ru

Authors

Nikolay N. Nevirkovets – junior scientific researcher, Concern "CSRI Elektropribor", Saint Petersburg, 197046, Russian Federation; postgraduate, Saint Petersburg Electrotechnical University (LETI), Saint Petersburg, 197376, Russian Federation, Scopus ID: 57195506419, ORCID ID: 0000-0003-2062-506X, nevirkovets.nn@gmail.com

Natalia M. Chernetskaya – engineer, Concern "CSRI Elektropribor", Saint Petersburg, 197046, Russian Federation, ORCID ID: 0000-0002-7085-0348, natali030594@gmail.com

Dmitry V. Kostygov – junior scientific researcher, Concern "CSRI Elektropribor", Saint Petersburg, 197046, Russian Federation, Scopus ID: 57189243101, ORCID ID: 0000-0003-4379-5803, dkost92@mail.ru

Yakov V. Belyaev – PhD, Head of department, Concern "CSRI Elektropribor", Saint Petersburg, 197046, Russian Federation, Scopus ID: 56382180100, ORCID ID: 0000-0003-1971-9069, jak0b@mail.ru