

**КОНТРОЛЬ САМОДВОЙСТВЕННЫХ УСТРОЙСТВ
С ПРИМЕНЕНИЕМ СХЕМ СЖАТИЯ НА ОСНОВЕ ПОЛНЫХ СУММАТОРОВ**

Д. В. ЕФАНОВ^{1,2*}, Т. С. ПОГОДИНА¹

¹*Российский университет транспорта, Москва, Россия*

²*Санкт-Петербургский политехнический университет Петра Великого, Санкт-Петербург, Россия*

^{*}*TrES-4b@yandex.ru*

Аннотация. Рассматривается задача организации контроля вычислений по диагностическому признаку, характеризующему принадлежность функций, вычисляемых объектом диагностирования, к классу самодвойственных булевых функций. Описана структура самодвойственного устройства с контролем каждого выхода в отдельности. Предложена структура организации схемы встроенного контроля с применением специальной схемы сжатия сигналов. Такая структура позволяет уменьшить число наблюдаемых выходов и сократить тем самым число элементов в структуре схемы встроенного контроля (СВК). В качестве устройств сжатия сигналов предложено использовать типовые схемы полных сумматоров, которые являются самодвойственными цифровыми устройствами. Показано, что такой подход к организации СВК позволяет сократить примерно на 8—9 % показатели сложности ее технической реализации по сравнению с контролем вычислений на каждом выходе объекта диагностирования. Приведены формулы оценки сложности реализации СВК для каждого способа ее организации. Сформированы алгоритмы синтеза СВК с применением схем сжатия сигналов. Приведены результаты моделирования самодвойственных структур с использованием рассматриваемых способов в среде моделирования Multisim. Представленные результаты позволяют на практике синтезировать самопроверяемые цифровые устройства и вычислительные системы.

Ключевые слова: самопроверяемые цифровые устройства, обнаружение ошибок в цифровых устройствах, схема встроенного контроля, контроль самодвойственности сигналов, самодвойственные устройства, полный сумматор

Ссылка для цитирования: Ефанов Д. В., Погодина Т. С. Контроль самодвойственных устройств с применением схем сжатия на основе полных сумматоров // Изв. вузов. Приборостроение. 2023. Т. 66, № 7. С. 539—558. DOI: 10.17586/0021-3454-2023-66-7-539-558.

**CONTROL OF SELF-DUAL DEVICES
USING COMPRESSION CIRCUITS BASED ON FULL ADDERS**

D. V. Efanov^{1,2*}, T. S. Pogodina¹

¹*Russian University of Transport, Moscow, Russia*

²*Peter the Great St. Petersburg Polytechnic University, St. Petersburg, Russia*

^{*}*TrES-4b@yandex.ru*

Abstract. The problem of organizing the control of calculations by a diagnostic parameter characterizing the belonging of the functions calculated by the object of diagnosis to the class of self-dual Boolean functions is considered. The structure of a self-dual device with control of each output separately is described. A structure is proposed for a built-in control circuit using a special signal compression scheme. Such a structure makes it possible to reduce the number of observed outputs and thereby reduce the number of elements in the structure of the built-in control circuit (ICS). Standard circuits of full adders, which are self-dual digital devices, are supposed to be used as signal compression devices. It is shown that such an approach to the ICS organization makes it possible to reduce the complexity of its technical im-

plementation by approximately 8–9% compared to the control of calculations at each output of the diagnostic object. Formulas for estimating the complexity of the implementation of the ICS for each method of its organization are given. Algorithms for the synthesis of ICS with the use of signal compression schemes are formulated. The data obtained by modeling self-dual structures using the considered methods in the Multisim modeling environment are demonstrated. The presented results enable practical synthesis of self-checking digital devices and computing systems.

Keywords: self-checking digital devices, error-detecting in digital devices, built-in error-detection circuit, checking self-duality of signals, self-dual devices, full-adder

For citation: Efanov D. V., Pogodina T. S. Control of self-dual devices using compression circuits based on full adders. *Journal of Instrument Engineering*. 2023. Vol. 66, N 7. P. 539–558 (in Russian). DOI: 10.17586/0021-3454-2023-66-7-539-558.

Введение. Современные устройства и вычислительные системы строятся на микроэлектронной элементной базе, которая позволяет реализовывать функционал различной сложности при малых габаритах. Однако микроэлектронная техника подвержена воздействию внешних дестабилизирующих факторов разнообразной физической природы, что может приводить к возникновению ошибок в вычислениях. Для рабочего диагностирования и контроля корректности вычислений на всех уровнях реализации устройств используются различные способы: контроль вычислений по установленному модулю, контроль остатков, контроль мантиссы, сигнатурный анализ данных и др. [1–6].

Одним из подходов к организации контроля вычислений является выбор диагностического признака, характеризующего принадлежность функций, формируемых на контрольных или рабочих выходах устройств, к особому классу — самодвойственных булевых функций [7]. Организация контроля вычислений по признаку самодвойственности функций позволяет за счет временной избыточности синтезировать самотестируемые и самопроверяемые цифровые устройства [8].

Устройства, на всех выходах которых формируются самодвойственные функции, называются *самодвойственными* [9]. Если же на некоторых выходах устройств реализуются самодвойственные функции, а на оставшихся — не самодвойственные, то такое устройство называется *частично самодвойственным*. Любое устройство можно преобразовать в такое, на выходах которого будут реализовываться самодвойственные булевы функции. Например, в [9] приведен способ построения самодвойственных модификаций триггеров, а в [10] описан способ преобразования структур устройств в самодвойственные за счет использования дополнительной входной переменной. Подробно на методах получения самодвойственных структур останавливаться не будем.

При организации контроля вычислений широко применяются схемы встроенного контроля (СВК) [11–14], в том числе реализованные с использованием свойств самодвойственных функций [15–18]. В данных работах используется так называемое самодвойственное дополнение при контроле вычислений: все функции или часть функций в СВК преобразуются в самодвойственные с помощью элементов сложения по модулю $M=2$ (*XOR*'s). Результаты в области синтеза самодвойственных цифровых комбинационных устройств и устройств с памятью обобщены в монографиях [19–21].

В настоящей статье приводятся результаты исследований по определению возможностей применения стандартных самодвойственных устройств при организации СВК для самодвойственных объектов диагностирования комбинационного типа.

Структуры организации контроля самодвойственных устройств. Рассмотрим структуру (рис. 1), в которой объектом диагностирования является устройство $F(x)$, имеющее t входов и m выходов [22]. На выходах устройства формируются самодвойственные булевы функции. Схема встроенного контроля предназначена для определения принадлежности вычисляемых функций к классу самодвойственных булевых функций. Для контроля каждого

выхода устройства $F(x)$ установлен тестер самодвойственности SDC (*self-dual checker*), структура которого приведена на рис. 2, а. Таким образом, для контроля самодвойственности каждой функции используется каскад тестеров самодвойственности, включающий m устройств. Каждый SDC снабжен двумя выходами, на которых при поступлении самодвойственного сигнала формируется парафазный сигнал. Нарушение парафазности свидетельствует либо о том, что на входы тестера поступил несамодвойственный сигнал, либо о том, что имеется неисправность самого тестера. Для уменьшения числа наблюдаемых выходов использована схема сжатия парафазных сигналов $mTRC1$, реализованная на основе стандартных модулей сжатия парафазных сигналов TRC (*two-rail checker*) [23]. Структура одной из реализаций схемы TRC представлена на рис. 2, б.

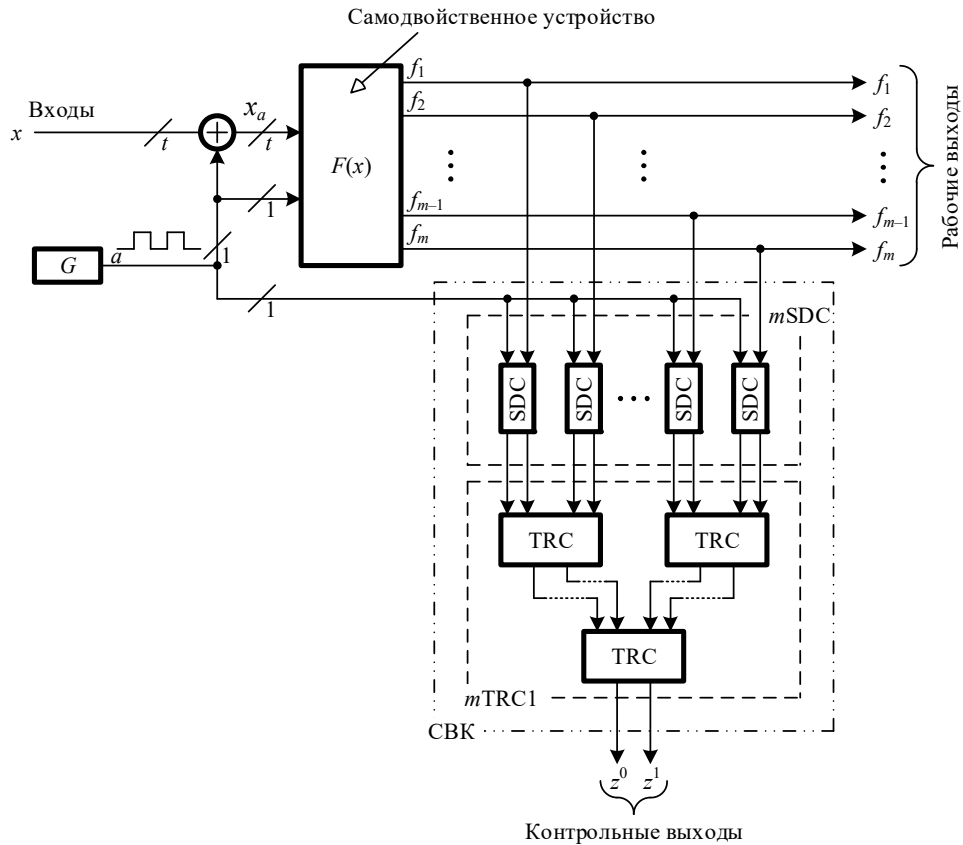


Рис. 1

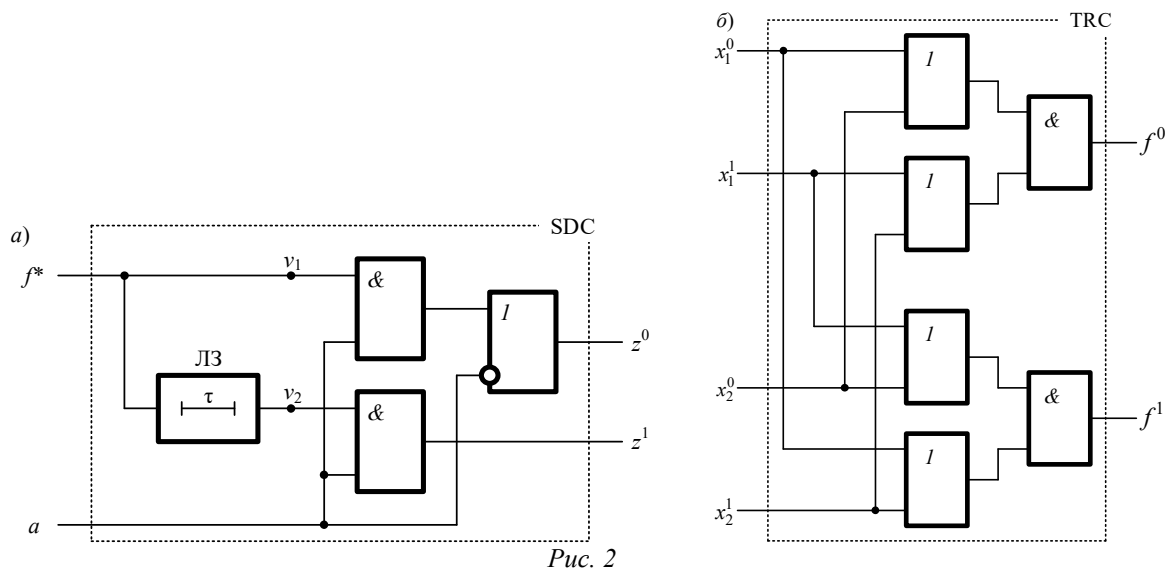


Рис. 2

Особенность структуры, приведенной на рис. 1, заключается в том, что она должна функционировать в импульсном режиме [16]. Поэтому сигналы в ней кодируются последовательностью импульсов 0 — 0101...01, 1 — 1010...10. Для этого используется генератор сигналов G .

Тестер самодвойственности имеет простейшую структуру (см. рис. 2, а). Он реализован на трех двухвходовых логических элементах и одном элементе задержки сигнала (линия задержки — ЛЗ). Величина задержки τ равна одному такту последовательности a , формируемой генератором G . Такая структура тестера позволяет при подаче на его входы самодвойственного сигнала f^* сформировать внутренний парафазный сигнал $\langle v^1 v^2 \rangle$. В этом случае на выходах z^0 и z^1 самого тестера будет формироваться также парафазный сигнал.

СВК, реализуемая по структуре, приведенной на рис. 1, является стандартной (типовой), так как все функциональные модули SDC и TRC также являются стандартными. Количество таких элементов однозначно определяется числом m : количество SDC равно m , количество TRC — $m-1$. В табл. 1 приведены показатели сложности реализации СВК на основе структуры без сжатия сигналов (см. рис. 1) при различных значениях m . Также введен в рассмотрение показатель сложности технической реализации $\eta_1 = \eta_{SDC} + \eta_{TRC}$ — число входов внутренних элементов устройства [24]. Введение данного показателя целесообразно, поскольку он позволяет не учитывать технологии реализации устройств и коррелирует с иными показателями, например числом полупроводниковых элементов, необходимых для реализации того или иного функционального модуля [25]. Сложность реализации SDC оценивается величиной $\eta_{SDC} = 7$, а сложность реализации TRC — величиной $\eta_{TRC} = 12$. Значение итогового показателя сложности реализации η_1 зависит только от значения m :

$$\eta_1 = 7m + 12(m - 1) = 19m - 12. \quad (1)$$

Отсюда следует, что зависимость является линейной.

Таблица 1

m	Число стандартных элементов		Показатель сложности		η_1
	SDC	TRC	η_{SDC}	η_{TRC}	
3	3	2	21	24	45
4	4	3	28	36	64
5	5	4	35	48	83
6	6	5	42	60	102
7	7	6	49	72	121
8	8	7	56	84	140
9	9	8	63	96	159
10	10	9	70	108	178
11	11	10	77	120	197
12	12	11	84	132	216
13	13	12	91	144	235
14	14	13	98	156	254
15	15	14	105	168	273
16	16	15	112	180	292
17	17	16	119	192	311
18	18	17	126	204	330
19	19	18	133	216	349
20	20	19	140	228	368
...
50	50	49	350	588	938
...
100	100	99	700	1188	1888
...
200	200	199	1400	2388	3788
...
500	500	499	3500	5988	9488
...
1000	1000	999	7000	11988	18988

Для уменьшения сложности реализации СВК необходимо наблюдать не каждый сигнал, а какую-либо группу сигналов. Для этого применяются так называемые схемы сжатия сигналов, реализуемые с использованием кодовых методов. По сути, для преобразования m сигналов на выходах объекта диагностирования в k наблюдаемых сигналов требуется специальный преобразователь (или группа преобразователей). Само преобразование целесообразно осуществлять, применяя какой-либо избыточный равномерный код [26—28]. Обнаруживающая способность СВК будет напрямую зависеть от характеристик обнаружения ошибок выбранным способом кодирования. В структуре, приведенной на рис. 1, нельзя произвольно выбрать код, так как вся система работает в импульсном режиме и должны реализовываться самодвойственные булевы функции. Рассмотрим один из способов реализации схемы сжатия.

Известно [9, 19], что полные сумматоры (*full-adder* — FA) являются самодвойственными устройствами, которые можно использовать при реализации СВК. На рис. 3 приведена структура FA [22]. Данное устройство снабжено тремя входами и двумя выходами и имеет простую реализацию — построено на основе двух полусумматоров (*half-adder* — HA) и одного двухвходового элемента ИЛИ. Выходы S и C — это выходы, на которых формируются значения суммы и переноса соответственно. Сумматор позволяет вычислить количество единичных сигналов на его входах. Сумматор — типовое устройство, он имеется во многих средствах автоматизированного проектирования логических устройств.

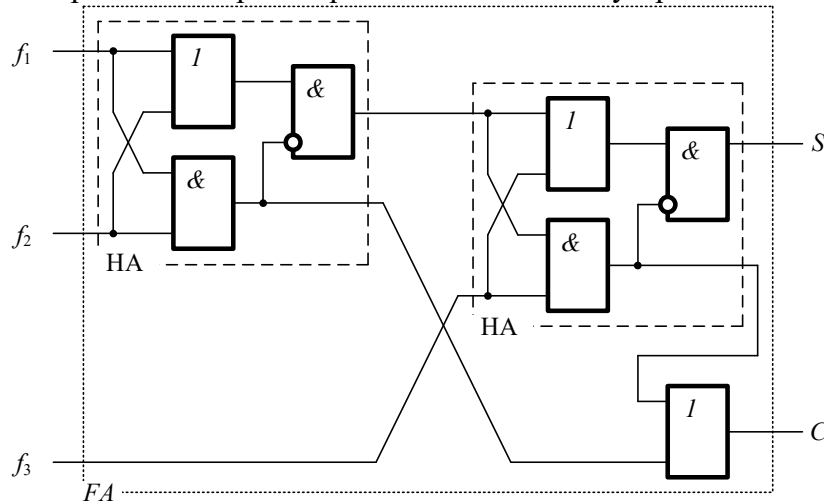


Рис. 3

Использование FA позволяет уменьшить число SDC и TRC в структуре СВК. Каждые три сигнала, поступающие с выходов объекта диагностирования, сжимаются в два сигнала на выходах FA, т.е. вместо 3 SDC и 2 TRC потребуется 2 SDC и 1 TRC для контроля сигналов с каждого сумматора.

Структура организации СВК со схемой сжатия на основе полных сумматоров приведена на рис. 4. В ней число наблюдаемых выходов сокращено путем выделения соответствующих групп сжимаемых выходов. Для контроля самодвойственности сигналов на выходах каждой группы установлено два SDC (общее их количество равно n). Для получения одного наблюдаемого контрольного сигнала требуется реализация схемы сжатия n парафазных сигналов в один — устройство n TRC1.

Если число m не кратно 3, то сигналы, поступающие с одного или двух „свободных“ выходов объекта диагностирования, контролируются напрямую с применением SDC. Таким образом, в структуре СВК будет использовано $n = \lfloor m/3 \rfloor$ FA. Сложность схемы сжатия сигналов определяется величиной $\lfloor m/3 \rfloor \eta_{FA} = 14 \cdot \lfloor m/3 \rfloor$. В СВК будет использовано $2 \cdot \lfloor m/3 \rfloor$ SDC и $2 \cdot \lfloor m/3 \rfloor - 1$ TRC. Тогда сложность технической реализации СВК будет определяться величиной

$$\eta_2 = \lfloor m/3 \rfloor \eta_{FA} + 2 \cdot \lfloor m/3 \rfloor \eta_{SDC} + (2 \cdot \lfloor m/3 \rfloor - 1) \eta_{TRC} =$$

$$= 14 \cdot \lfloor m/3 \rfloor + 14 \cdot \lfloor m/3 \rfloor + 24 \cdot \lfloor m/3 \rfloor - 12 = 52 \cdot \lfloor m/3 \rfloor - 12. \tag{2}$$

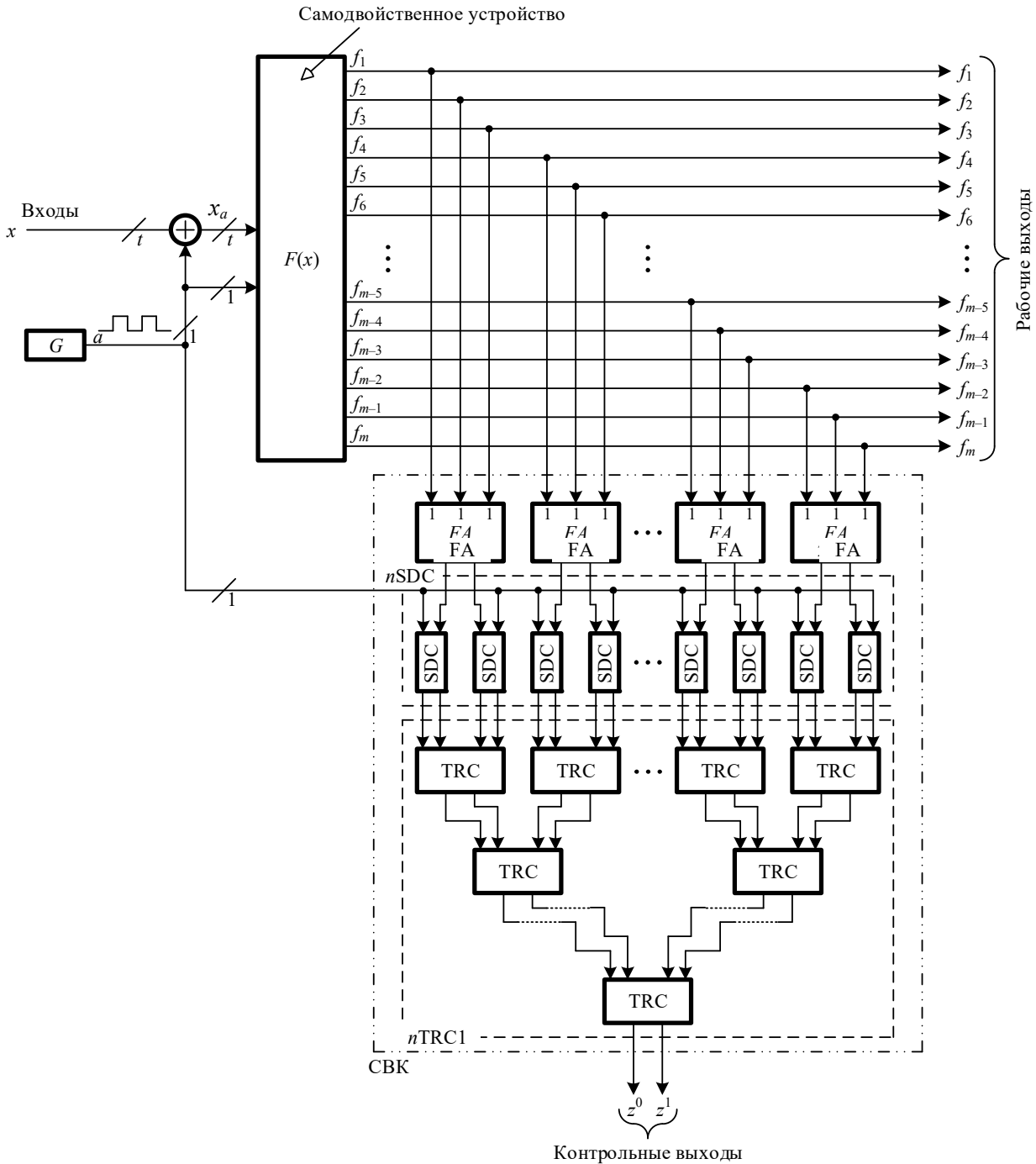


Рис. 4

Если m не кратно 3 ($\lfloor m/3 \rfloor \neq m/3$), то к схеме СВК (см. рис. 4) прибавляется по одному SDC и TRC при одном свободном выходе и по два SDC и TRC при двух свободных выходах. Таким образом, показатель сложности реализации СВК для рассматриваемого способа синтеза схемы сжатия вычисляется по формуле

$$\eta_2 = \begin{cases} 52 \cdot \lfloor m/3 \rfloor - 12 & \text{при } m \pmod{3} = 0; \\ 52 \cdot \lfloor m/3 \rfloor + 7 & \text{при } m \pmod{3} = 1; \\ 52 \cdot \lfloor m/3 \rfloor + 26 & \text{при } m \pmod{3} = 2. \end{cases} \tag{3}$$

Зависимость (3) также является линейной.

Формула (3) может быть переписана в следующем виде:

$$\eta_2 = 52 \cdot \lfloor m/3 \rfloor - 12 + 19 \cdot m \pmod{3}. \quad (4)$$

Показатели сложности технической реализации структуры СВК со схемой сжатия сигналов на основе FA приведены в табл. 2. Суммарный показатель сложности реализации СВК представлен в графе η_2 .

Из сравнения выражений (1) и (4) ясно, что $\eta_2 < \eta_1 \forall m$.

Таблица 2

m	Число стандартных элементов			Показатель сложности			η_2
	FA	SDC	TRC	η_{FA}	η_{SDC}	η_{TRC}	
3	1	2	1	14	14	12	40
4	1	3	2	14	21	24	59
5	1	4	3	14	28	36	78
6	2	4	3	28	28	36	92
7	2	5	4	28	35	48	111
8	2	6	5	28	42	60	130
9	3	6	5	42	42	60	144
10	3	7	6	42	49	72	163
11	3	8	7	42	56	84	182
12	4	8	7	56	56	84	196
13	4	9	8	56	63	96	215
14	4	10	9	56	70	108	234
15	5	10	9	70	70	108	248
16	5	11	10	70	77	120	267
17	5	12	11	70	84	132	286
18	6	12	11	84	84	132	300
19	6	13	12	84	91	144	319
20	6	14	13	84	98	156	338
...
50	16	34	33	224	238	396	858
...
100	33	67	66	462	469	792	1723
...
200	66	134	133	924	938	1596	3458
...
500	166	334	333	2324	2338	3996	8658
...
1000	333	667	666	4662	4669	7992	17323

В табл. 3 и на рис. 5 отображены результаты сравнения показателей сложности реализации СВК при двух рассмотренных способах их построения. Показатель $\eta^* = \eta_2 / \eta_1 \cdot 100\%$ с увеличением значения m приближается к 91 %. Причем для случаев $m \pmod{3} = 1$ и $m \pmod{3} = 2$ наблюдается небольшое увеличение значения показателя η^* по сравнению со случаем $m \pmod{3} = 0$, что связано с добавлением в структуру дополнительных элементов контроля. При $m \geq 15$ это увеличение составляет не более 1 %. Анализ табл. 3 и рис. 5, таким образом, показывает, что использование схемы сжатия на основе FA позволяет примерно на 8—9 % сократить сложность технической реализации СВК. Для более существенного уменьшения показателей сложности технической реализации необходимо использовать другие самодвойственные преобразователи.

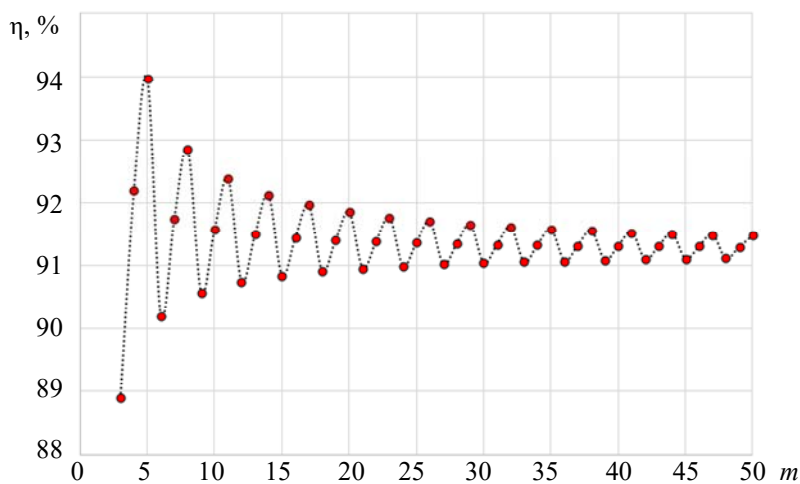


Рис. 5

Таблица 3

m	η_2	η_1	$\eta^*, \%$
3	40	45	88,889
4	59	64	92,188
5	78	83	93,976
6	92	102	90,196
7	111	121	91,736
8	130	140	92,857
9	144	159	90,566
10	163	178	91,573
11	182	197	92,386
12	196	216	90,741
13	215	235	91,489
14	234	254	92,126
15	248	273	90,842
16	267	292	91,438
17	286	311	91,961
18	300	330	90,909
19	319	349	91,404
20	338	368	91,848
...
50	858	938	91,471
...
100	1723	1888	91,261
...
200	3458	3788	91,288
...
500	8658	9488	91,252
...
1000	17323	18988	91,231

Алгоритмы построения СВК. Рассмотрим способы синтеза СВК с применением схем сжатия на основе ФА.

При построении СВК можно воспользоваться следующим алгоритмом.

Алгоритм 1. Правила выделения групп выходов объекта диагностирования для сжатия сигналов.

Шаг 1. Выходы объекта диагностирования разбиваются на $\lfloor m/3 \rfloor$ групп подмножеств мощностью $M=3$ и одно подмножество мощностью M , равной 1 или 2 (случай $M=0$ является вырожденным и возможен только при $\lfloor m/3 \rfloor = m/3$).

Шаг 2. Для каждой группы, кроме случаев, когда имеются один или два „свободных“ выхода, в схеме сжатия используется FA.

Шаг 3. Для каждого выхода FA и для каждого „свободного“ выхода устанавливается SDC.

Шаг 4. Выходы SDC подключаются к входам схемы сжатия парафазных сигналов.

Алгоритм достаточно прост, однако не обеспечивает маскировки определенного вида ошибок на входах элементов схемы сжатия сигналов.

Утверждение 1. Любые ошибки кратностью $d=1$ и $d=3$ на входах каждого FA в схеме сжатия обнаруживаются на его выходах.

Действительно, на выходах FA не обнаруживается только такая ошибка, которая не нарушает суммарного числа единиц на его входах. Такая ошибка может быть только двукратной и должна возникать при искажении одного нуля и одной единицы — двукратная симметричная ошибка [29].

Таким образом, на входах схемы сжатия могут быть не обнаружены ошибки четной кратностью, возникающие на четном числе входов сумматоров в ее структуре.

Переходя к функциональным зависимостям между элементами внутренней структуры объекта диагностирования, приведем условия поиска групп контролепригодных выходов.

Утверждение 2. В группе из трех выходов объекта диагностирования не допускаются двукратные симметричные ошибки в случае, если

$$\forall i_1, i_2 \in \{j_1, j_2, j_3\}, j_1, j_2, j_3 \in \{1, 2, \dots, m\}, \forall y_r, r \in \{1, 2, \dots, p\}: \frac{\partial f_{i_1}}{\partial y_r} \frac{\partial f_{i_2}}{\partial y_r} (f_{i_1} \oplus f_{i_2}) = 0, \quad (5)$$

где y_r — функция, реализуемая на выходе элемента G_r , $r \in \{1, 2, \dots, p\}$, p — число элементов в структуре объекта диагностирования.

Доказательство. Двукратная симметричная ошибка может возникнуть на любой паре из трех выходов, т. е. на $C_3^2 = 3$ парах. Поэтому следует рассмотреть условия возникновения одновременного искажения двух выходов из трех для каждого сочетания. Входные комбинации, на которых возникает двукратная ошибка, определяются выражением

$\frac{\partial f_{i_1}}{\partial y_r} \frac{\partial f_{i_2}}{\partial y_r}$. Следует

проверить все элементы G_r (можно ограничиться рассмотрением элементов, связанных путями с выходами, образующими данную пару). Выражение $f_{i_1} \oplus f_{i_2}$ определяет входные комбинации, на которых значения функций на выходах, образующих рассматриваемую пару,

различны. Таким образом, произведение $\frac{\partial f_{i_1}}{\partial y_r} \frac{\partial f_{i_2}}{\partial y_r} (f_{i_1} \oplus f_{i_2}) = 0$ позволяет установить все

входные комбинации, на которых возникает двукратная симметричная ошибка. Если выражение равно нулю для всех элементов, связанных путями с рассматриваемыми выходами, то двукратные симметричные ошибки исключены. ■

Фактически условие (5) — это условие монотонности для трех выходов [30, 31].

Отметим, что для выявления равных или неравных значений функций на выходах при одних и тех же входных комбинациях может использоваться также функция равнозначности $f_{i_1} \sim f_{i_2}$. Если $f_{i_1} \sim f_{i_2} = 0$, то на паре выходов фиксируются противоположные значения

функций до возникновения ошибки. При условии $\frac{\partial f_{i_1}}{\partial y_r} \frac{\partial f_{i_2}}{\partial y_r} \neq 0$ это будет означать наличие

двукратной симметричной ошибки на комбинациях, определяемых из уравнения $\frac{\partial f_{i_1}}{\partial y_r} \frac{\partial f_{i_2}}{\partial y_r} = 1$.

Рассмотрим возможность применения выражения (5) на примере выбора группы выходов для сжатия сигналов для устройства, приведенного на рис. 6. Отметим, однако, что оно самодвойственным не является, но преобразуется в самодвойственное по известным методам [10, 19] до организации контроля.

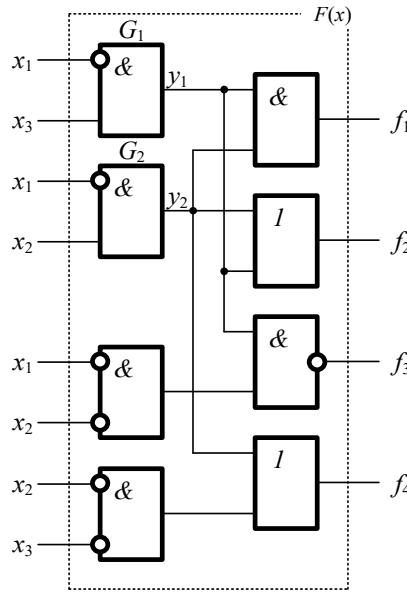


Рис. 6

На выходах рассматриваемого устройства формируются следующие функции: $f_1 = \overline{x_1 x_2 x_3}$; $f_2 = \overline{x_1 x_2} \vee \overline{x_1 x_3}$; $f_3 = \overline{\overline{x_1 x_2 x_3}}$; $f_4 = \overline{x_1 x_2} \vee \overline{x_2 x_3}$.

В структуре устройства имеются два логических элемента, связанные путями с двумя и более выходами. Они обозначены как G1 и G2, а функции, вычисляемые на их выходах, — как y1 и y2. Рассмотрим все одиночные константные неисправности, возникающие на выходах этих элементов (stuck-at faults), — „константу 0“ (stuck-at-0) и „константу 1“ (stuck-at-1). Данные сведены в табл. 4 (здесь через N обозначен десятичный номер комбинации).

Таблица 4

N	x1x2x3	f1f2f3f4	Неисправности G1		Неисправности G2	
			stuck-at-0	stuck-at-1	stuck-at-0	stuck-at-1
			f1f2f3f4	f1f2f3f4	f1f2f3f4	f1f2f3f4
0	000	0011	0011	0001*	0011	0111*
1	001	0100	0010**	0000*	0100	1101*
2	010	0111	0111	1111*	0010*	0111
3	011	1111	0111*	1111	0110*	1111
4	100	0011	0011	0011	0011	0111*
5	101	0010	0010	0010	0010	0111*
6	110	0010	0010	0010	0010	0111*
7	111	0010	0010	0010	0010	0111*

Примечание: знаком „*“ отмечены выходные векторы, на которых вычислено ошибочное значение хотя бы одной функции; знаком „**“ отмечен выходной вектор, на котором возникла симметричная ошибка.

Можно выделить $C_4^3 = 4$ подмножеств из трех выходов: $\{f_1, f_2, f_3\}$, $\{f_1, f_2, f_4\}$, $\{f_1, f_3, f_4\}$, $\{f_2, f_3, f_4\}$. Определим, какое из подмножеств следует выбрать при организации самодвойственного контроля со сжатием сигналов на основе ФА.

Вычислим булевы производные каждой функции по внутренней переменной y_1 :

$$\frac{\partial f_1}{\partial y_1} = 0 \cdot \overline{x_1 x_2} \oplus 1 \cdot \overline{x_1 x_2} = \overline{x_1 x_2}; \quad \frac{\partial f_2}{\partial y_1} = (0 \vee \overline{x_1 x_2}) \oplus (1 \vee \overline{x_1 x_2}) = \overline{\overline{x_1 x_2}} = x_1 \vee x_2;$$

$$\frac{\partial f_3}{\partial y_1} = \overline{\overline{x_1 x_2}} \oplus \overline{\overline{x_1 x_2}} = \overline{\overline{x_1 x_2}}; \quad \frac{\partial f_4}{\partial y_1} = (\overline{x_1 x_2} \vee \overline{x_2 x_3}) \oplus (\overline{x_1 x_2} \vee \overline{x_2 x_3}) = 0,$$

и булевы производные каждой функции по внутренней переменной y_2 :

$$\frac{\partial f_1}{\partial y_2} = \overline{x_1 x_3} \cdot 0 \oplus \overline{x_1 x_3} \cdot 1 = \overline{x_1 x_3}; \quad \frac{\partial f_2}{\partial y_2} = (\overline{x_1 x_3} \vee 0) \oplus (\overline{x_1 x_3} \vee 1) = \overline{\overline{x_1 x_3}} = x_1 \vee x_3;$$

$$\frac{\partial f_3}{\partial y_2} = \overline{\overline{x_1 x_2 x_3}} \oplus \overline{\overline{x_1 x_2 x_3}} = 0; \quad \frac{\partial f_4}{\partial y_2} = (0 \vee \overline{x_2 x_3}) \oplus (1 \vee \overline{x_2 x_3}) = \overline{\overline{x_2 x_3}} = x_2 \vee x_3.$$

Определим, на каких входных комбинациях каждая пара функций имеет противоположные значения:

$$f_1 \oplus f_2 = \overline{x_1 x_2 x_3} \oplus (\overline{x_1 x_2} \vee \overline{x_1 x_3}) = \overline{\overline{x_1 x_2 x_3}} (\overline{x_1 x_2} \vee \overline{x_1 x_3}) \vee \overline{x_1 x_2 x_3} \overline{\overline{x_1 x_2} \vee \overline{x_1 x_3}} =$$

$$= (x_1 \vee \overline{x_2} \vee \overline{x_3}) (\overline{x_1 x_2} \vee \overline{x_1 x_3}) \vee \overline{x_1 x_2 x_3} (x_1 \vee \overline{x_2}) (x_1 \vee \overline{x_3}) = \overline{\overline{x_1 x_2 x_3}} \vee \overline{x_1 x_2 x_3};$$

$$f_1 \oplus f_3 = \overline{x_1 x_2 x_3} \oplus \overline{\overline{x_1 x_2 x_3}} = \overline{\overline{x_1 x_2 x_3}} \cdot \overline{\overline{x_1 x_2 x_3}} \vee \overline{x_1 x_2 x_3} \cdot \overline{\overline{\overline{x_1 x_2 x_3}}} =$$

$$= (x_1 \vee \overline{x_2} \vee \overline{x_3}) (\overline{x_1 \vee x_2 \vee x_3}) \vee \overline{x_1 x_2 x_3} \overline{\overline{x_1 x_2 x_3}} = \overline{\overline{x_1 \vee x_2 \vee x_3}};$$

$$f_1 \oplus f_4 = \overline{x_1 x_2 x_3} \oplus (\overline{x_1 x_2} \vee \overline{x_2 x_3}) = \overline{\overline{x_1 x_2 x_3}} (\overline{x_1 x_2} \vee \overline{x_2 x_3}) \vee \overline{x_1 x_2 x_3} \cdot \overline{\overline{\overline{x_1 x_2} \vee \overline{x_2 x_3}}} =$$

$$= (x_1 \vee \overline{x_2} \vee \overline{x_3}) (\overline{x_1 x_2} \vee \overline{x_2 x_3}) \vee \overline{x_1 x_2 x_3} (x_1 \vee \overline{x_2}) (x_2 \vee \overline{x_3}) = \overline{\overline{x_2 x_3}} \vee \overline{\overline{x_1 x_3}};$$

$$f_2 \oplus f_3 = (\overline{x_1 x_3} \vee \overline{x_1 x_2}) \oplus \overline{\overline{x_1 x_2 x_3}} = \overline{\overline{x_1 x_3} \vee \overline{x_1 x_2}} \cdot \overline{\overline{x_1 x_2 x_3}} \vee (\overline{x_1 x_3} \vee \overline{x_1 x_2}) \overline{\overline{\overline{x_1 x_2 x_3}}} =$$

$$= (x_1 \vee \overline{x_2}) (x_1 \vee \overline{x_3}) (\overline{x_1 \vee x_2 \vee x_3}) \vee (\overline{x_1 x_3} \vee \overline{x_1 x_2}) \overline{\overline{x_1 x_2 x_3}} = \overline{\overline{x_1 \vee x_2 x_3}} \vee \overline{\overline{x_1 x_2 x_3}} = \overline{\overline{x_1 \vee x_2}};$$

$$f_2 \oplus f_4 = (\overline{x_1 x_3} \vee \overline{x_1 x_2}) \oplus (\overline{x_1 x_2} \vee \overline{x_2 x_3}) = \overline{\overline{x_1 x_3} \vee \overline{x_1 x_2}} (\overline{x_1 x_2} \vee \overline{x_2 x_3}) \vee (\overline{x_1 x_3} \vee \overline{x_1 x_2}) \overline{\overline{\overline{x_1 x_2} \vee \overline{x_2 x_3}}} =$$

$$= (x_1 \vee \overline{x_3}) (x_1 \vee \overline{x_2}) (\overline{x_1 x_2} \vee \overline{x_2 x_3}) \vee (\overline{x_1 x_3} \vee \overline{x_1 x_2}) (x_1 \vee \overline{x_2}) (x_2 \vee \overline{x_3}) = \overline{\overline{x_2 x_3}} \vee \overline{\overline{x_1 x_2 x_3}};$$

$$f_3 \oplus f_4 = \overline{\overline{x_1 x_2 x_3}} \oplus (\overline{x_1 x_2} \vee \overline{x_2 x_3}) = \overline{\overline{\overline{x_1 x_2 x_3}}} (\overline{x_1 x_2} \vee \overline{x_2 x_3}) \vee \overline{\overline{x_1 x_2 x_3}} \cdot \overline{\overline{\overline{x_1 x_2} \vee \overline{x_2 x_3}}} =$$

$$= \overline{\overline{x_1 x_2 x_3}} (\overline{x_1 x_2} \vee \overline{x_2 x_3}) \vee (x_1 \vee \overline{x_2} \vee \overline{x_3}) (x_1 \vee \overline{x_2}) (x_2 \vee \overline{x_3}) = \overline{\overline{x_1 x_2}} \vee \overline{\overline{x_1 x_3}}.$$

Произведения производных по переменной y_1 для каждой пары выходов равны:

$$\frac{\partial f_1}{\partial y_1} \cdot \frac{\partial f_2}{\partial y_1} = 0; \quad \frac{\partial f_1}{\partial y_1} \cdot \frac{\partial f_3}{\partial y_1} = 0; \quad \frac{\partial f_1}{\partial y_1} \cdot \frac{\partial f_4}{\partial y_1} = 0; \quad \frac{\partial f_2}{\partial y_1} \cdot \frac{\partial f_3}{\partial y_1} = \overline{\overline{x_1 x_2}}; \quad \frac{\partial f_2}{\partial y_1} \cdot \frac{\partial f_4}{\partial y_1} = 0; \quad \frac{\partial f_3}{\partial y_1} \cdot \frac{\partial f_4}{\partial y_1} = 0.$$

Из полученных выражений следует, что зависимой по элементу G_1 является только пара выходов (f_2, f_3) .

Произведения производных по переменной y_2 для каждой пары выходов равны:

$$\frac{\partial f_1}{\partial y_2} \cdot \frac{\partial f_2}{\partial y_2} = 0; \quad \frac{\partial f_1}{\partial y_2} \cdot \frac{\partial f_3}{\partial y_2} = 0; \quad \frac{\partial f_1}{\partial y_2} \cdot \frac{\partial f_4}{\partial y_2} = \overline{\overline{x_1 x_3}}; \quad \frac{\partial f_2}{\partial y_2} \cdot \frac{\partial f_3}{\partial y_2} = 0;$$

$$\frac{\partial f_2}{\partial y_2} \cdot \frac{\partial f_4}{\partial y_2} = x_1 x_2 \vee x_1 x_3 \vee x_2 x_3; \quad \frac{\partial f_3}{\partial y_2} \cdot \frac{\partial f_4}{\partial y_2} = 0.$$

Из данных выражений следует, что зависимыми по элементу G_2 являются только пары выходов (f_1, f_4) и (f_2, f_4) .

Для зависимых выходов по элементу G_1 имеем:

$$\frac{\partial f_2}{\partial y_1} \cdot \frac{\partial f_3}{\partial y_1} = \overline{x_1 x_2} (x_1 \vee x_2) = \overline{x_1 x_2}.$$

Для зависимых выходов по элементу G_2 имеем:

$$\frac{\partial f_1}{\partial y_2} \cdot \frac{\partial f_4}{\partial y_2} = \overline{x_1 x_3} (\overline{x_2 x_3} \vee \overline{x_1 x_2 x_3}) = 0; \quad \frac{\partial f_2}{\partial y_2} \cdot \frac{\partial f_4}{\partial y_2} = (x_1 x_2 \vee x_1 x_3 \vee x_2 x_3) (\overline{x_2 x_3} \vee \overline{x_1 x_2 x_3}) = 0.$$

Таким образом, на выходах f_2 и f_3 возможна симметричная ошибка (см. табл. 4). Отсюда следует, что все подмножества, в которых присутствуют данные пары выходов, следует исключить из рассмотрения. К таковым относятся: $\{f_1, f_2, f_3\}$, $\{f_1, f_2, f_4\}$ и $\{f_2, f_3, f_4\}$. На оставшемся подмножестве выходов $\{f_1, f_3, f_4\}$ невозможно возникновение двукратной симметричной ошибки и его можно использовать при сжатии сигналов. Для оставшихся в подмножестве $\{f_1, f_2, f_3, f_4\} \setminus \{f_1, f_3, f_4\} = \{f_2\}$ выходов сжатие сигналов не производится.

СВК для рассматриваемого примера представлена на рис. 7.

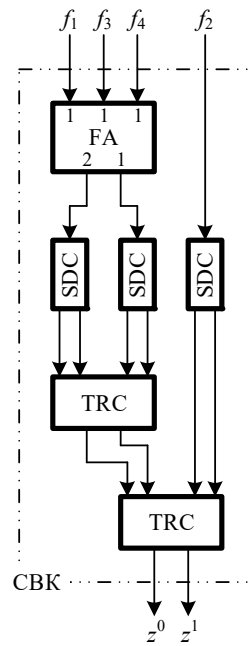


Рис. 7

Учитывая выражение (5), можно предложить алгоритм построения полностью самопроверяемой СВК с применением схемы сжатия на основе ФА.

Алгоритм 2. Правила выделения групп выходов объекта диагностирования для сжатия сигналов при построении полностью самопроверяемой СВК.

Шаг 1. Рассматриваются все подмножества мощностью $M=3$ из полного множества выходов объекта диагностирования, их число равно

$$q = C_m^3 = \frac{m!}{(m-3)!3!} = \frac{(m-2)(m-1)m}{6} = \frac{m^3 - 3m^2 + 2m}{6}.$$

К примеру, при $m=4$ величина $q=4$, при $m=5$ $q=10$, ..., $m=10$ $q=120$, ..., $m=20$ $q=1140$ и т.д.

Шаг 2. Подмножествам присваиваются порядковые номера от 1 до q и создается их список.

Шаг 3. Рассматривается подмножество с номером $i=1$.

Шаг 4. Для подмножества с номером i проверяется условие (5). Если условие не выполняется, то подмножество с номером i из списка исключается.

Шаг 5. Номер подмножества увеличивается: $i:=i+1$.

Шаг 6. Проверяется условие $i>q$? Если оно не выполняется, то осуществляется переход к шагу 8 алгоритма; иначе — к шагу 4 алгоритма.

Шаг 7. Переход к выполнению шага 4 алгоритма.

Шаг 8. Формируется таблица покрытий выходов устройства группами, соответствующими подмножествам из сформированного списка.

Шаг 9. Определяются все варианты покрытий выходов устройства (при этом используется метод Петрика [32]). Должно быть получено $\lfloor m/3 \rfloor$ групп подмножеств выходов мощностью $M=3$ и одно подмножество выходов мощностью $M=1$ или 2 (случай $M=0$ является вырожденным и возможен только при $\lfloor m/3 \rfloor = m/3$).

Шаг 10. Для каждой группы мощностью $M=3$ для сжатия сигналов используется устройство FA; для единственной группы мощностью $M=1$ или $M=2$ устройство сжатия не используется, а выходы напрямую контролируются с помощью SDC. Выходы каждого FA контролируются с помощью SDC.

Шаг 11. Выходы полученных $n = 2 \lfloor m/3 \rfloor$ SDC (при $\lfloor m/3 \rfloor = m/3$ или при условии, что в оставшейся группе два выхода) либо $n = 2 \lfloor m/3 \rfloor - 1$ SDC (при условии, что в оставшейся группе один выход) подключаются к входам схемы сжатия парафазных сигналов.

Необходимо отметить, что приведенный алгоритм позволяет исключить ошибки, не обнаруживаемые на входах схемы сжатия, не для любых структур. Если не удастся найти покрытие полного множества выходов группами по три выхода в каждой, то для построения полностью самопроверяемой СВК необходимо контролировать каждую пару выходов, допускающих после разбиения на „тройки“ двукратные симметричные ошибки, не применяя схему сжатия сигналов. Это потребует увеличения числа SDC в структуре СВК, однако оно будет всегда меньшим либо равным предельному случаю для контроля каждого выхода объекта диагностирования с помощью отдельного SDC.

Моделирование самодвойственных устройств. В ходе исследования был проведен эксперимент по анализу особенностей обнаружения неисправностей в комбинационных устройствах с контролем по двум описанным выше способам. Для моделирования была выбрана программная среда Multisim. Цели эксперимента — сравнительный анализ возможностей обнаружения ошибок, вызванных неисправностями в объекте диагностирования, при использовании структуры контроля с применением схемы сжатия (см. рис. 4), а также оценка сложности технической реализации СВК. В качестве модели неисправности рассмотрена модель одиночной константной неисправности на выходах внутренних элементов объекта диагностирования. Сложность технической реализации оценивалась по числу функциональных элементов в структуре СВК, разделенных по видам.

Объект диагностирования (рис. 8) имеет четыре входа и двенадцать выходов. Схема устройства реализована на двухвходовых логических элементах, на которые подаются сигналы входных переменных и инвертированные значения. Устройство является самодвойственным, поскольку каждая функция, описывающая его рабочие выходы, является самодвойственной. Работа устройства описывается таблицей истинности (табл. 5).

Часть логических элементов устройства связана путями только с одним его выходом, а часть — с несколькими. Интерес представляет анализ возможностей обнаружения ошибок на выходах объекта диагностирования, вызванных теми неисправностями, которые возникают именно на элементах с двумя и более путями к выходным полюсам схемы. В этом случае

возможно формирование кратных неисправностей. Таких элементов в структуре устройства 8 (перечислены далее).

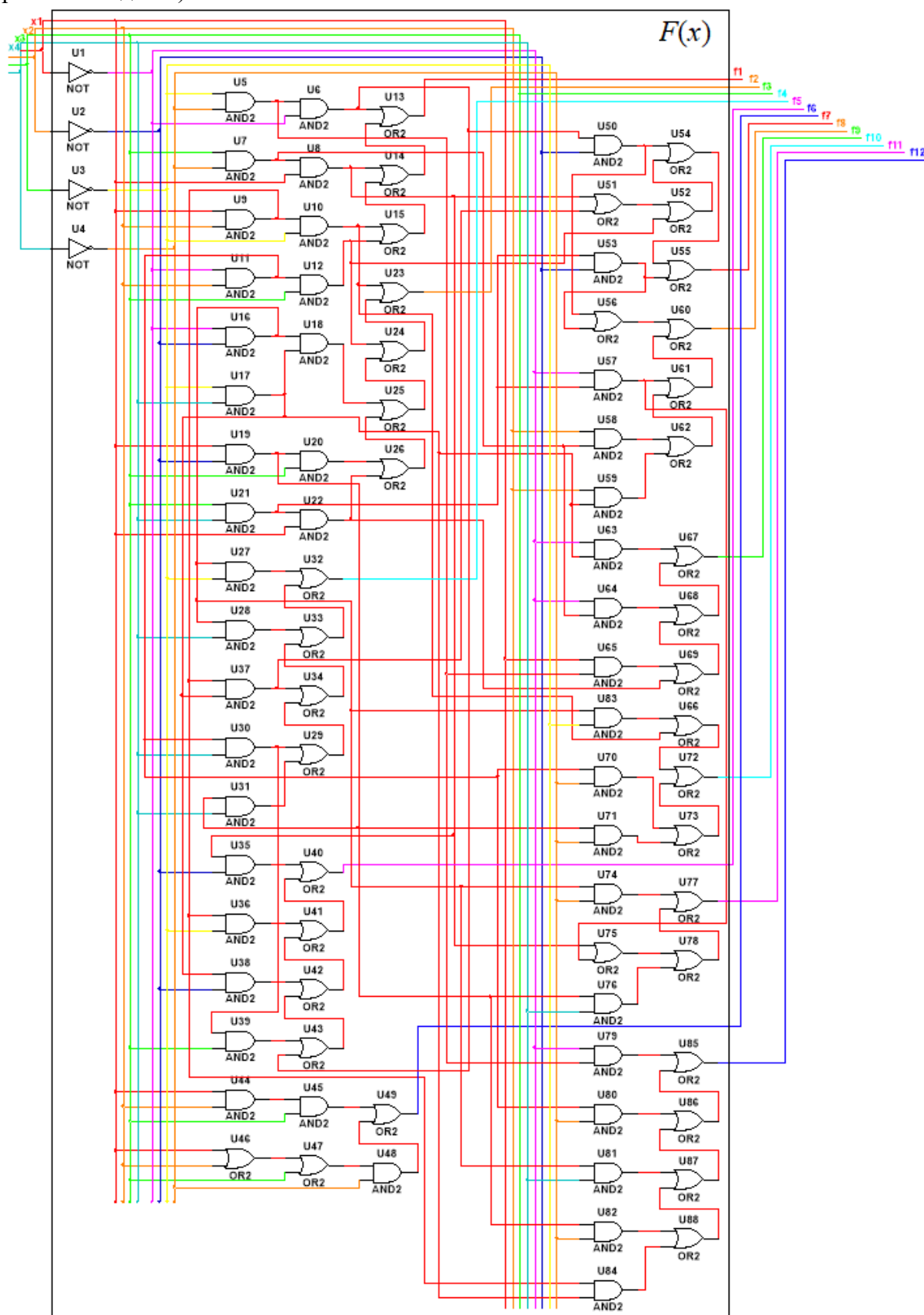


Рис. 8

Таблица 5

N	x_1	x_2	x_3	x_4	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}
0	0	0	0	0	1	0	0	1	1	0	1	1	0	1	1	1
1	0	0	0	1	0	1	0	1	1	0	0	0	1	1	0	1
2	0	0	1	0	0	0	1	0	0	1	0	0	1	0	1	0
3	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
4	0	1	0	0	1	0	0	1	1	1	0	0	0	1	0	1
5	0	1	0	1	0	0	0	0	0	0	0	1	1	0	0	0
6	0	1	1	0	1	1	1	1	0	1	1	1	1	1	0	1
7	0	1	1	1	1	1	1	0	1	0	1	1	0	0	1	0
8	1	0	0	0	0	0	0	1	0	1	0	0	1	1	0	1
9	1	0	0	1	0	0	0	0	1	0	0	0	0	0	1	0
10	1	0	1	0	1	1	1	1	1	1	1	0	0	1	1	1
11	1	0	1	1	0	1	1	0	0	0	1	1	1	0	1	0
12	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
13	1	1	0	1	1	1	0	1	1	0	1	1	0	1	0	1
14	1	1	1	0	1	0	1	0	0	1	1	1	0	0	1	0
15	1	1	1	1	0	1	1	0	0	1	0	0	1	0	0	0

Для заданного устройства (см. рис. 8) были синтезированы СВК по структурам без схемы сжатия (см. рис. 1) и со схемой сжатия (см. рис. 4). Схемы полученных самопроверяемых устройств приведены на рис. 9 и 10 соответственно. Отметим, что на рисунках не показаны функциональные выходы устройства $F(x)$, а показано только подключение к СВК.

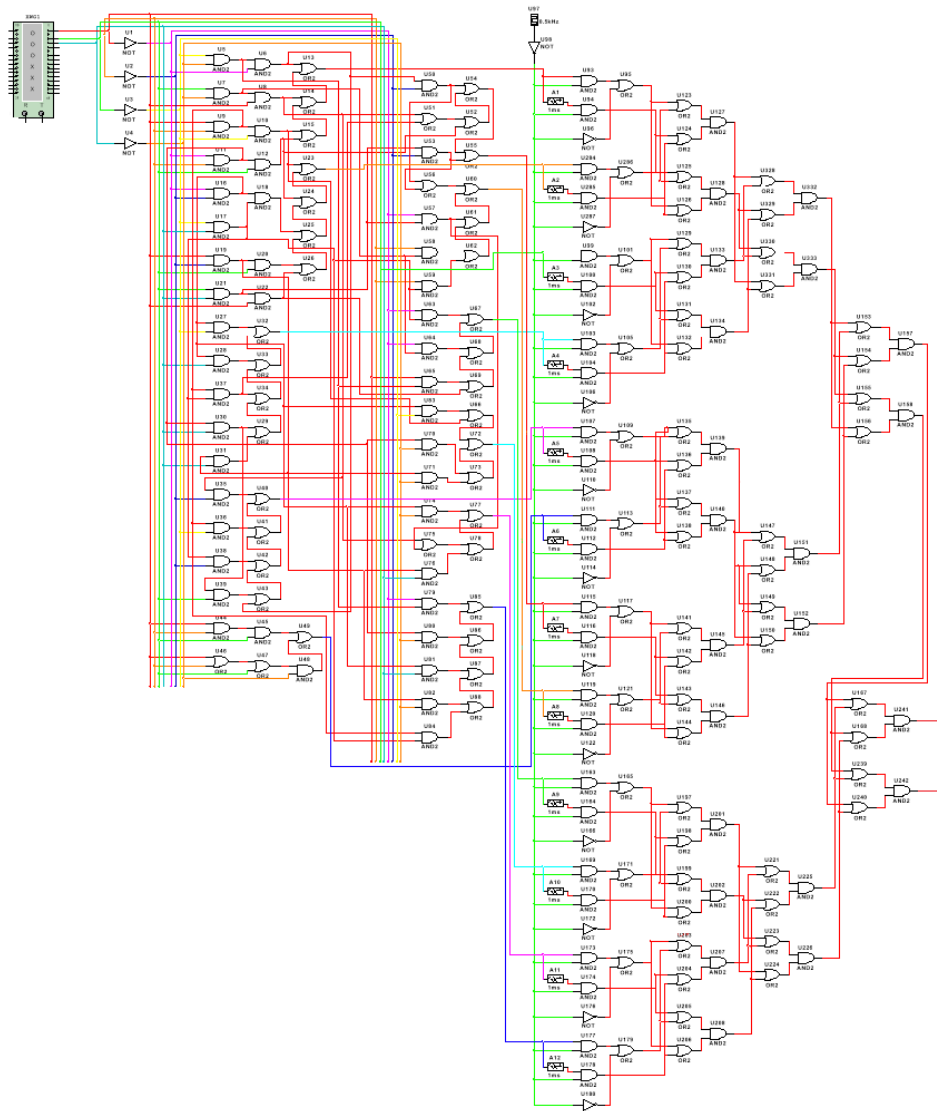


Рис. 9

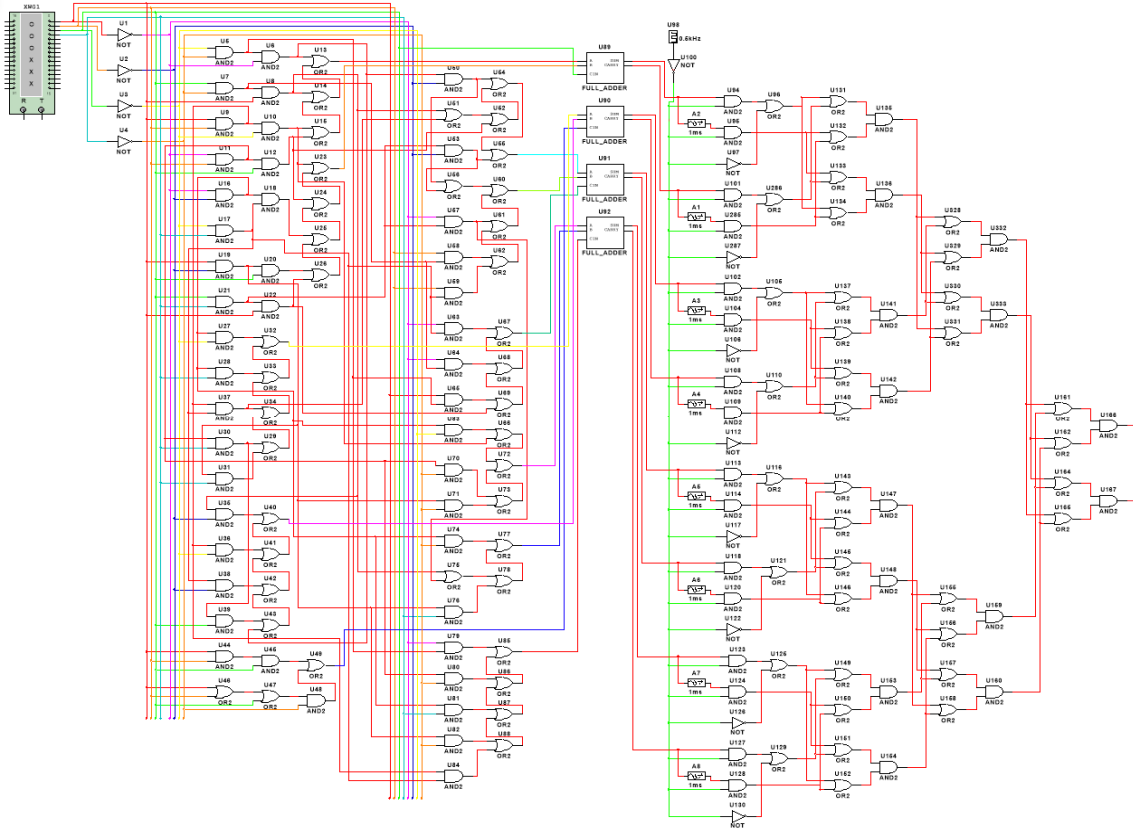


Рис. 10

Представленные устройства содержат достаточно мелкие изображения элементов, однако они стандартны (см. раздел „Структуры организации контроля самодвойственных устройств“). Сравнение рисунков показывает, что структура со схемой сжатия на основе сумматоров является более простой.

В эксперименте было определено множество неисправностей — 16 (stuck-at-0 и stuck-at-1 для каждого рассмотренного элемента). Затем поочередно данные одиночные неисправности вносились в схему объекта диагностирования и на его входы подавалось полное множество входных комбинаций. Далее фиксировалось число комбинаций, на которых в СВК обнаруживалась вызываемая ошибка. Особенности постановки экспериментов с устройствами, функционирующими в импульсном режиме, описаны в [33] (здесь детали моделирования подробно не рассматриваются).

Таблица 6

Логический элемент	Неисправность	Число тестовых комбинаций	Число тестовых пар комбинаций	ψ , %	ω , %
U5	stuck-at-0	4	4	25	50
	stuck-at-1	6	6	37,5	75
U7	stuck-at-0	4	4	25	50
	stuck-at-1	6	6	37,5	75
U9	stuck-at-0	2	2	12,5	25
	stuck-at-1	6	6	37,5	75
U11	stuck-at-0	4	4	25	50
	stuck-at-1	5	5	31,25	62,5
U16	stuck-at-0	4	4	25	50
	stuck-at-1	6	6	37,5	75
U17	stuck-at-0	4	4	25	50
	stuck-at-1	6	6	37,5	75
U19	stuck-at-0	4	4	25	50
	stuck-at-1	5	5	31,25	62,5
U21	stuck-at-0	4	4	25	50
	stuck-at-1	6	6	37,5	75
Средние значения				29,6875	59,375

В схеме с контролем вычислений на каждом выходе с помощью отдельного SDC обнаруживаются все одиночные неисправности [10, 19]. Необнаруживаемые ошибки могут возникнуть в структуре со схемой сжатия. Тем не менее эксперимент показал, что для рассматриваемого устройства показатели обнаружения ошибок на выходах обеих СВК идентичны (табл. 6). Свыше $\psi=25\%$ входных комбинаций и $\omega=50\%$ пар входных комбинаций являются одновременно и тестовыми. В среднем же для схемы получены значения $\psi=29,6875\%$ и $\omega=59,375\%$. Это говорит о высокой тестопригодности рассматриваемых методов, в том числе предложенного способа организации СВК с применением схемы сжатия сигналов. При этом необходимо отметить, что СВК, реализованная по предлагаемому методу, гораздо проще схемы с контролем самодвойственности каждой отдельной функции, реализуемой на конкретном выходе объекта диагностирования (табл. 7). Для комбинационной схемы (см. рис. 8) число элементов в СВК (за исключением полных сумматоров) при использовании схемы сжатия примерно в 1,5 раз меньше, чем без таковой, без потери обнаруживающей способности.

Таблица 7

Показатель	Структура СВК	
	без схемы сжатия	со схемой сжатия
Число двухвходовых логических элементов	102	66
Число одновходовых логических элементов	12	8
Число линий задержки сигнала	12	8
Число полных сумматоров	0	4

Заключение. При синтезе самопроверяемых устройств с контролем вычислений по принадлежности формируемых функций к классу самодвойственных булевых функций, в отличие от способа контроля самодвойственности каждой функции, описывающей конкретный выход объекта диагностирования, может быть использован способ, подразумевающий предварительное сжатие сигналов, поступающих от объекта диагностирования, с применением специальной схемы сжатия. Такая схема сжатия должна представлять собой самодвойственный преобразователь. В настоящей работе предложено в качестве функциональных элементов для сжатия сигналов применять полные сумматоры.

Использование сумматоров позволяет снижать структурную избыточность СВК без потери обнаруживающей способности. В этом состоит преимущество предложенного способа организации СВК. Недостаток же его заключается в том, что в общем случае при выборе выходов для сжатия сигналов потребуется предварительный поиск групп из трех выходов, на которых невозможно одновременное возникновение двукратной симметричной ошибки. Этот процесс увеличивает время проектирования СВК и, например, для устройств с большим числом выходов (свыше 20) становится достаточно трудоемким. Поэтому в каждом конкретном случае с учетом специфики объекта диагностирования потребуется предварительный анализ — до выбора групп выходов для сжатия сигналов и выбор одного из предложенных алгоритмов „группировки выходов“.

В заключение отметим, что при организации схемы сжатия сигналов могут использоваться и другие преобразователи. Например, известно [33, 34], что булева функция будет самодвойственной, если она линейная и содержит нечетное количество аргументов, от которых она зависит существенно. Соответственно, преобразователи функций с нечетным числом аргументов могут быть использованы в качестве схем сжатия сигналов в СВК по предложенной на рис. 4 структуре взамен полных сумматоров. Такими преобразователями являются, например, кодеры линейных кодов — кодов Хэмминга и их различных модификаций при определенных значениях числа информационных разрядов. Исследования особенностей реализации СВК в этом случае могут быть перспективным направлением развития теории синтеза самопроверяемых самодвойственных цифровых устройств и вычислительных систем.

СПИСОК ЛИТЕРАТУРЫ

1. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006. 720 p.
2. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source): Information Science Reference. Hershey — N. Y.: IGI Global, 2011. 578 p.
3. *Дрозд А. В., Харченко В. С., Антошук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю.* Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А. В. Дрозда и В. С. Харченко. Харьков: Нац. аэрокосм. ун-т им. Н. Е. Жуковского „ХАИ“, 2012. 614 с.
4. *Dubrova E.* Fault-Tolerant Design. N. Y.: Springer Science+Business Media. 2013. XV+185. DOI: 10.1007/978-1-4614-2113-9.
5. *Ярмолик В. Н.* Контроль и диагностика вычислительных систем. Минск: Бестпринт, 2019. 387 с.
6. *Mikoni S.* Top Level Diagnostic Models of Complex Objects // Lecture Notes in Networks and Systems. 2022. Vol. 442. P. 238—249. DOI: 10.1007/978-3-030-98832-6_21.
7. *Яблонский С. В., Гаврилов Г. П., Кудрявцев В. Б.* Математическая логика и основания математики. М.: Наука, 1966. 119 с.
8. *Reynolds D. A., Meize G.* Fault Detection Capabilities of Alternating Logic // IEEE Trans. on Computers. 1978. Vol. C-27, iss. 12. P. 1093—1098. DOI: 10.1109/TC.1978.1675011.
9. *Аксенова Г. П.* Восстановление в дублированных устройствах методом инвертирования данных // Автоматика и телемеханика. 1987. № 10. С. 144—153.
10. *Гессель М., Мошанин В. И., Сапожников В. В., Сапожников Вл. В.* Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций // Автоматика и телемеханика. 1997. № 12. С. 193—200.
11. *Согомонян Е. С., Слабаков Е. В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989. 208 с.
12. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Application. 1998. Vol. 12, iss. 1—2. P. 7—20. DOI: 10.1023/A:1008244815697.
13. *Lala P. K.* Self-Checking and Fault-Tolerant Digital Design. San Francisco: Morgan Kaufmann Publ., 2001. 216 p.
14. *Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y.* Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications // Proc. of the 15th IEEE East-West Design & Test Symposium (EWDTS'2017), Novi Sad, Serbia, Sept. 29 – Oct. 2, 2017. P. 25—28. DOI: 10.1109/EWDTS.2017.8110065.
15. *Saposhnikov V. V., Dmitriev A., Goessel M., Saposhnikov V. V.* Self-Dual Parity Checking – a New Method for on Line Testing // Proc. of the 14th IEEE VLSI Test Symposium, Princeton, USA, 1996. P. 162—168.
16. *Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.* Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика. 1999. № 11. С. 162—174.
17. *Saposhnikov V. V., Moshanin V., Saposhnikov V. V., Goessel M.* Experimental Results for Self-Dual Multi-Output Combinational Circuits // Journal of Electronic Testing: Theory and Applications. 1999. Vol. 14, iss. 3. P. 295—300. DOI: 10.1023/A:1008370405607.
18. *Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.* Обнаружение неисправностей в комбинационных схемах с помощью самодвойственного контроля // Автоматика и телемеханика. 2000. № 7. С. 140—149.
19. *Сапожников В. В., Сапожников Вл. В., Гессель М.* Самодвойственные дискретные устройства. СПб: Энергоатомиздат, 2001. 331 с.
20. *Сапожников В. В., Сапожников Вл. В., Валиев Р. Ш.* Синтез самодвойственных дискретных систем. СПб: Элмор, 2006. 220 с.
21. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking. Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
22. *Сапожников В. В., Сапожников Вл. В., Ефанов Д. В.* Основы теории надежности и технической диагностики. СПб: Изд-во „Лань“, 2019. 588 с.

23. Carter W. C., Duke K. A., Schneider P. R. Self-Checking Error Checker for Two-Rail Coded Data: Pat. 747533, US. Jan. 26, 1971.
24. Сапожников В. В., Сапожников В. В. Самопроверяемые дискретные устройства. СПб: Энергоатомиздат, 1992. 224 с.
25. Harris D. M., Harris S. L. Digital Design and Computer Architecture. Morgan Kaufmann, 2012. 569 p.
26. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды Хэмминга в системах функционального контроля логических устройств. СПб: Наука, 2018. 151 с.
27. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Т. 1. Классические коды Бергера и их модификации. М.: Наука, 2020. 383 с.
28. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием для систем технического диагностирования. Т. 2. Взвешенные коды с суммированием. М.: Наука, 2021. 455 с.
29. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Классификация ошибок в информационных векторах систематических кодов // Изв. вузов. Приборостроение. 2015. Т. 58, № 5. С. 333—343. DOI: 10.17586/0021-3454-2015-58-5-333-343.
30. Гессель М., Морозов А. А., Сапожников В. В., Сапожников Вл. В. Построение комбинационных самопроверяемых устройств с монотонно независимыми выходами // Автоматика и телемеханика. 1994. № 7. С. 148—160.
31. Morosow A., Sapozhnikov V. V., Sapozhnikov Vl. V., Goessel M. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // VLSI Design. 1998. Vol. 5, iss. 4. P. 333—345. DOI: 10.1155/1998/20389.
32. Закревский А. Д., Поттосин Ю. В., Черемисинова Л. Д. Логические основы проектирования дискретных устройств. М.: Физматлит, 2007. 592 с.
33. Ефанов Д. В., Погодина Т. С. Самодвойственный контроль комбинационных схем с применением кодов Хэмминга // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2022. № 3. С. 113—122. DOI: 10.31114/2078-7707-2022-3-113-122.
34. Ефанов Д. В., Погодина Т. С. Исследование свойств самодвойственных комбинационных устройств с контролем вычислений на основе кодов Хэмминга // Информатика и автоматизация. 2023. Т. 22, № 2. С. 349—392. DOI: 10.15622/ia.22.2.5.

Сведения об авторах

- Дмитрий Викторович Ефанов** — д-р техн. наук, профессор; Российский университет транспорта, кафедра автоматизации, телемеханики и связи на железнодорожном транспорте; Санкт-Петербургский политехнический университет Петра Великого, Высшая школа транспорта Института машиностроения, материалов и транспорта; профессор; E-mail: TrES-4b@yandex.ru
- Татьяна Сергеевна Погодина** — студентка; Российский университет транспорта, кафедра автоматизации, телемеханики и связи на железнодорожном транспорте Института транспортной техники и систем управления; E-mail: pogodina-ts@mail.ru

Поступила в редакцию 19.11.2022; одобрена после рецензирования 05.12.2022; принята к публикации 31.05.2023.

REFERENCES

1. Fujiwara E. *Code Design for Dependable Systems: Theory and Practical Applications*, John Wiley & Sons, 2006, 720 p.
2. Ubar R., Raik J., Vierhaus H.-T. *Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source)*, Information Science Reference, Hershey, NY, IGI Global, 2011, 578 p.
3. Drozd A.V., Kharchenko V.S., Antoshchuk S.G., Drozd Yu.V., Drozd M.A., Sulima Yu.Yu. *Rabochee diagnostirovanie bezopasnykh informatsionno-upravlyayushchikh sistem* (Working Diagnosing of Safe Management Information Systems), Khar'kov, 2012, 614 p. (in Russ.)
4. Dubrova E. *Fault-Tolerant Design*, Springer Science+Business Media, NY, 2013, XV+185 p., DOI: 10.1007/978-1-4614-2113-9.
5. Yarmolik V.N. *Kontrol' i diagnostika vychislitel'nykh sistem* (Control and Diagnostics of Computer Systems), Minsk, 2019, 387 p. (in Russ.)
6. Mikoni S. *Lecture Notes in Networks and Systems*, 2022, vol. 442, pp. 238—249, DOI: 10.1007/978-3-030-98832-6_21.
7. Yablonsky S.V., Gavrilov G.P., Kudryavtsev V.B. *Matematicheskaya logika i osnovaniya matematiki* (Mathematical Logic and Foundations of Mathematics), Moscow, 1966, 119 p. (in Russ.)
8. Reynolds D.A., Meize G. *IEEE Transactions on Computers*, 1978, no. 12(C-27), pp. 1093—1098, DOI: 10.1109/TC.1978.1675011.

9. Aksenova G.P. *Avtomatika i Telemekhanika*, 1987, no. 10, pp. 144–153. (in Russ.)
10. Hessel M., Moshanin V.I., Sapozhnikov V.V., Sapozhnikov VI.V. *Avtomatika i Telemekhanika*, 1997, no. 12, pp. 193–200. (in Russ.)
11. Sogomonyan E.S., Slabakov E.V. *Samoproveryaemye ustroystva i otkazoustoychivye sistemy* (The Self-Checked Devices and Failure-Safe Systems), Moscow, 1989, 208 p. (in Russ.)
12. Nicolaidis M., Zorian Y. *Journal of Electronic Testing: Theory and Application*, 1998, no. 1-2(12), pp. 7–20, DOI: 10.1023/A:1008244815697.
13. Lala P.K. *Self-Checking and Fault-Tolerant Digital Design*, San Francisco, Morgan Kaufmann Publishers, 2001, 216 p.
14. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. *Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29–October 2, 2017, pp. 25–28, DOI: 10.1109/EWDTS.2017.8110065.
15. Saposhnikov VI.V., Dmitriev A., Goessel M., Saposhnikov V.V. *Proceedings of 14th IEEE VLSI Test Symposium, USA, Princeton, 1996*, pp. 162–168.
16. Gessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 1999, no. 11(60), pp. 1653–1663.
17. Saposhnikov VI.V., Moshanin V., Saposhnikov V.V., Goessel M. *Journal of Electronic Testing: Theory and Applications*, 1999, no. 3(14), pp. 295–300, DOI: 10.1023/A:1008370405607.
18. Gessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov VI.V. *Automation and Remote Control*, 2000, no. 7(61), pp. 1192–1200.
19. Sapozhnikov V.V., Sapozhnikov VI.V. Gessel M. *Samodvoystvennyye diskretnyye ustroystva* (Self-Dual Discrete Devices), St. Petersburg, 2001, 331 p. (in Russ.)
20. Sapozhnikov V.V., Sapozhnikov VI.V., Valiev R.Sh. *Sintez samodvoystvennykh diskretnykh sistem* (Synthesis of Self-Dual Discrete Systems), St. Petersburg, 2006, 220 p. (in Russ.)
21. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking: Edition 1*, Dordrecht, Springer Science+Business Media B.V., 2008, 184 p.
22. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki* (Fundamentals of the Theory of Reliability and Technical Diagnostics), St. Petersburg, 2019, 588 p. (in Russ.)
23. Pat. US747533, *Self-Checking Error Checker for Two-Rail Coded Data*, W.C. Carter, K.A. Duke, P.R. Schneider, Priority 25 July 1968, Published 26 Jan. 1971.
24. Sapozhnikov V.V., Sapozhnikov VI.V. *Samoproveryaemye diskretnyye ustroystva* (The Self-Checked Discrete Devices), St. Petersburg, 1992, 224 p. (in Russ.)
25. Harris D.M., Harris S.L. *Digital Design and Computer Architecture*, Morgan Kaufmann, 2012, 569 p.
26. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody Khemminga v sistemakh funktsional'nogo kontrolya logicheskikh* (Hamming Codes in Functional Control Systems of Logical), St. Petersburg, 2018, 151 p. (in Russ.)
27. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 1. Klassicheskiye kody Bergera i ikh modifikatsii* (Summed Codes for Technical Diagnostic Systems. Vol. 1. Classical Berger Codes and Their Modifications), Moscow, 2020, 383 p. (in Russ.)
28. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Kody s summirovaniyem dlya sistem tekhnicheskogo diagnostirovaniya. T. 2. Vzveshennyye kody s summirovaniyem* (Summed Codes for Technical Diagnostic Systems. Vol. 2. Weighted Codes with Summation), Moscow, 2021, 455 p. (in Russ.)
29. Sapozhnikov V.V., Sapozhnikov VI.V., Efanov D.V. *Journal of Instrument Engineering*, 2015, no. 5(58), pp. 333–343, DOI: 10.17586/0021-3454-2015-58-5-333-343. (in Russ.)
30. Goessel M., Morozov A.A., Sapozhnikov V.V., Sapozhnikov V.V. *Automation and Remote Control*, 1994, no. 7(55), pp. 1050–1059.
31. Morosow A., Sapozhnikov V.V., Sapozhnikov VI.V., Goessel M. *VLSI Design*, 1998, no. 4(5), pp. 333–345, DOI: 10.1155/1998/20389.
32. Zakrevskiy A.D., Pottosin Yu.V., Cheremisinova L.D. *Logicheskiye osnovy proyektirovaniya diskretnykh ustroystv* (Logical Foundations for the Design of Discrete Devices), Moscow, 2007, 592 p. (in Russ.)
33. Efanov D.V., Pogodina T.S. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)* (Problems of Advanced Micro- and Nanoelectronic Systems Development), All-Russia Science & Technology Conference, Moscow, Zelenograd, 2022, no. 3, pp. 113–122, DOI: 10.31114/2078-7707-2022-3-113-122. (in Russ.)
34. Efanov D.V., Pogodina T.S. *Informatics and Automation*, 2023, no. 2(22), pp. 349–392, DOI: 10.15622/ia.22.2.5. (in Russ.)

Data on authors

- Dmitry V. Efanov** — Dr. Sci., Professor; Russian University of Transport, Department of Automation, Remote Control, and Communications on Railway Transport; Peter the Great St. Petersburg Polytechnic University, Higher School of Transport, Institute of Mechanical Engineering, Materials, and Transport, Professor; E-mail: TrES-4b@yandex.ru
- Tatiana S. Pogodina** — Student; Russian University of Transport, Department of Automation, Remote Control, and Communications on Railway Transport; E-mail: pogodina-ts@mail.ru

Received 19.11.2022; approved after reviewing 05.12.2022; accepted for publication 31.05.2023.