
СИСТЕМНЫЙ АНАЛИЗ, УПРАВЛЕНИЕ И ОБРАБОТКА ИНФОРМАЦИИ

SYSTEM ANALYSIS, CONTROL, AND INFORMATION PROCESSING

УДК 004.052.42+681.518.5
DOI: 10.17586/0021-3454-2024-67-1-5-19

ТЕСТЕРЫ САМОДВОЙСТВЕННЫХ И „БЛИЗКИХ“ К НИМ СИГНАЛОВ

Д. В. ЕФАНОВ^{1*}, Д. В. ПИВОВАРОВ²

¹ *Российский университет транспорта, Москва, Россия,
Санкт-Петербургский политехнический университет Петра Великого, Санкт-Петербург, Россия*
*TrES-4b@yandex.ru

² *Петербургский государственный университет путей сообщения Императора Александра I,
Санкт-Петербург, Россия*

Аннотация. Рассматриваются особенности применения свойств самодвойственных и „близких“ к ним функций для синтеза высоконадежных цифровых систем по методу инвертирования данных. Предложено при контроле вычислений в устройствах, реализованных с использованием временной избыточности и импульсного режима работы, применять свойства самоантидвойственных функций. Разработан тестер самоантидвойственных сигналов. Определены условия синхронизации элемента задержки, частоты смены рабочей и инверсной входных комбинаций, частоты сигнала на входе синхронизации тестера и момента изменения рабочей входной комбинации, необходимые для корректной работы схем встроенного контроля.

Ключевые слова: самопроверяемые цифровые устройства, метод инвертирования данных, временная избыточность, самодвойственная булева функция, самоантидвойственная булева функция, тестер самодвойственных сигналов, тестер самоантидвойственных сигналов

Ссылка для цитирования: Ефанов Д. В., Пивоваров Д. В. Тестеры самодвойственных и „близких“ к ним сигналов // Изв. вузов. Приборостроение. 2024. Т. 67, № 1. С. 5—19. DOI: 10.17586/0021-3454-2024-67-1-5-19.

CHECKERS OF SELF-DUAL AND "CLOSE IN MEANING" SIGNALS

D. V. Efanov^{1*}, D. V. Pivovarov²

¹ *Russian University of Transport, Moscow, Russia
Peter the Great St. Petersburg Polytechnic University, St. Petersburg, Russia*
*TrES-4b@yandex.ru

² *Emperor Alexander I St. Petersburg State Transport University,
St. Petersburg, Russia*

Abstract. The features of the application of self-dual and "close in meaning" functions properties for the synthesis of highly reliable digital systems using the data inversion method are considered. It is proposed to use the properties of self-anti-dual functions when controlling calculations in devices implemented with the use of time redundancy and pulse mode of operation. The checker for self-anti-dual signals is developed. The conditions for synchronizing the delay element, the frequency of changing the operating and inverse input combinations, the frequency of the signal at the synchronization input of the checker and the moment of changing the working input combination, necessary for the correct operation of the built-in control circuits, are determined.

Keywords: self-testing digital devices, data reverse method, temporary redundancy, self-dual Boolean function, self-anti-dual Boolean function, self-dual signal checker, self-anti-dual signals checker

For citation: Efanov D. V., Pivovarov D. V. Checkers of self-dual and "close in meaning" signals. *Journal of Instrument Engineering*. 2024. Vol. 67, N 1. P. 5—19 (in Russian). DOI: 10.17586/0021-3454-2024-67-1-5-19.

Введение. Один из подходов к построению высоконадежных цифровых систем — метод инвертирования данных, использование которого предполагает реализацию устройств с временной избыточностью и импульсный режим их работы [1]. Это позволяет синтезировать цифровые системы с самопроверяемыми и отказоустойчивыми компонентами и обеспечивает высокое покрытие неисправностей тестовыми комбинациями [2], что особенно важно в контексте использования рассматриваемого подхода при разработке и совершенствовании систем критического применения [3]. К таким системам относятся некоторые космические системы, системы в атомной промышленности, системы противовоздушной обороны, системы железнодорожной автоматики и многие другие [4—6].

При использовании устройств, реализованных с использованием временной избыточности и импульсного режима работы, контроль вычислений обеспечивается путем проверки принадлежности вычисляемых функций к особому классу булевых функций — самодвойственными булевыми функциям [7]. Возможность использования свойств самодвойственных функций в задачах синтеза контролепригодных и самопроверяемых устройств и их диагностического обеспечения впервые была рассмотрена в 70-е гг. прошлого века [8]. В дальнейшем теория синтеза устройств и систем с контролем вычислений по признаку самодвойственности вычисляемых в контрольных точках функций получила развитие в большом количестве работ отечественных и зарубежных ученых [9—20].

Согласно исследованиям авторов настоящей статьи, при введении временной избыточности и импульсного режима работы могут применяться не только самодвойственные (SD) функции, но и близкие к ним так называемые „самоантидвойственные“ (SAD) функции; устройства, реализующие данные функции, рассмотрены в [21, 22]. Такие функции, в отличие от самодвойственных, имеют одинаковые значения на ортогональных по всем переменным входных комбинациях (инверсных комбинациях). Для контроля принадлежности вычисляемых функций к классу самоантидвойственных требуется некоторая модификация известного тестера самодвойственных сигналов [1, 2]. Однако все остальные принципы синтеза самопроверяемых и отказоустойчивых цифровых устройств неизменны.

В настоящей статье анализируются возможности применения свойств самоантидвойственных функций при синтезе цифровых устройств, отмечаются особенности тестеров самодвойственных и самоантидвойственных сигналов, особое внимание уделяется также особенностям функционирования цифровых устройств в импульсном режиме.

Самодвойственные булевы функции и „близкие“ к ним. Самодвойственные функции образуют замкнутый класс булевых функций [23].

Функция принадлежит к классу самодвойственных булевых функций, если при инвертировании всех ее аргументов она принимает противоположные значения:

$$S = \left\{ f(x_1, x_2, \dots, x_t) \mid f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_t}) = \overline{f(x_1, x_2, \dots, x_t)} \right\}. \quad (1)$$

Самодвойственная функция равна своей двойственной функции.

В таблице приведены примеры SD- и SAD-функций.

Номер комбинации	x_1	x_2	x_3	f_1	f_2
0	0	0	0	1	1
1	0	0	1	1	1
2	0	1	0	1	1
3	0	1	1	0	0
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	0	1

Признаком самодвойственности функции является противоположность ее значений на комбинациях, противоположных относительно середины таблицы истинности (инверсных), что непосредственно следует из (1). Минимизируя функцию f_1 по ее разрешенным входным комбинациям, получаем

$$f_1 = \overline{x_1 x_2} \vee \overline{x_1 x_3} \vee \overline{x_2 x_3} = \overline{x_1} (\overline{x_2} \vee \overline{x_3}) \vee \overline{x_2 x_3}. \quad (2)$$

Тогда функция, двойственная к функции (2), имеет вид

$$\begin{aligned} f_1^* &= \overline{\overline{\overline{\overline{x_1} (\overline{x_2} \vee \overline{x_3}) \vee \overline{x_2 x_3}}}} = \overline{\overline{\overline{x_1} (\overline{x_2} \vee \overline{x_3}) \vee \overline{x_2 x_3}}} = (\overline{x_1} \vee \overline{x_2 x_3}) (\overline{x_2} \vee \overline{x_3}) = \\ &= \overline{x_1 x_2} \vee \overline{x_1 x_3} \vee \overline{x_2 x_3} = \overline{x_1} (\overline{x_2} \vee \overline{x_3}) \vee \overline{x_2 x_3}. \end{aligned} \quad (3)$$

Как видно из сравнения выражений (2) и (3), двойственная функция f_1^* равна самой функции f_1 , т.е. последняя является самодвойственной.

Обратим внимание на функцию f_2 в таблице. Она самодвойственной не является, поскольку не принимает противоположные значения на инверсных входных комбинациях. Однако эта функция „близка“ к самодвойственной, так как на инверсных входных комбинациях принимает одинаковые значения. Такие функции называются самоантидвойственными [21, 22]:

$$S^A = \{f(x_1, x_2, \dots, x_l) \mid f(\overline{x_1}, \overline{x_2}, \dots, \overline{x_l}) = f(x_1, x_2, \dots, x_l)\}. \quad (4)$$

Самоантидвойственная функция равна своей антидвойственной функции, принимающей равные значения при инвертировании всех аргументов.

Аналогично тому, как организуется контроль вычислений в схемных реализациях SD-функций [12—20], может быть организован и контроль вычислений в схемных реализациях SAD-функций.

Тестеры самодвойственных и самоантидвойственных сигналов. Структура тестера самодвойственных сигналов SDC (self-dual checker) приведена в [1, 2]. Он функционирует в импульсном режиме при подаче на входы схем пар комбинаций ($\langle X_1 \rangle$, $\langle X_2 \rangle$), где $\langle X_1 \rangle$ — прямая входная комбинация, $\langle X_2 \rangle$ — инвертированная по всем переменным входная комбинация. SDC устроен таким образом, чтобы фиксировать противоположные значения функции при поступлении пар комбинаций ($\langle X_1 \rangle$, $\langle X_2 \rangle$).

Для получения тестера самоантидвойственных сигналов SADC (self-anti-dual checker) требуется наделить устройство свойством фиксации одинаковых значений функции при поступлении пар комбинаций ($\langle X_1 \rangle$, $\langle X_2 \rangle$). Это можно сделать путем модификации SDC (см. [1, 2]). Структурная схема SADC, реализованного в программе Multisim, приведена на рис. 1. SADC отличается от SDC тем, что в нем после линии задержки A1 установлен инвертор U2C. Остальные элементы структурной схемы неизменны.

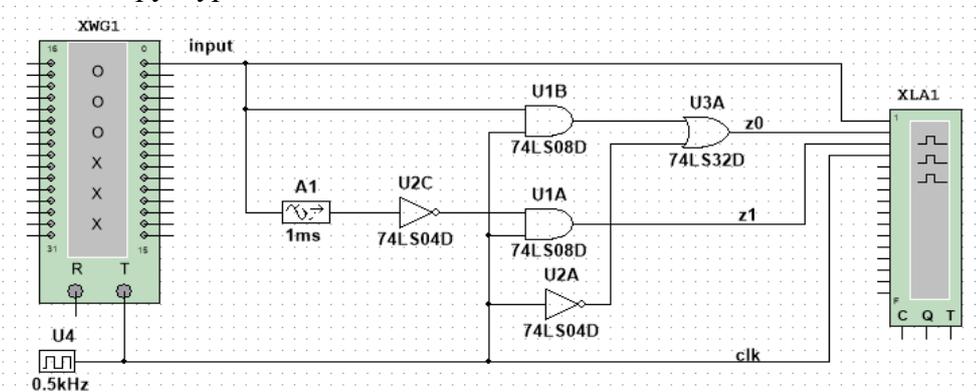


Рис. 1

Для проверки корректности функционирования SADC было проведено моделирование его работы. Для подачи последовательности нулей и единиц на входы тестера использовался

генератор кодовых слов (XWG1), а для регистрации сигнала в контрольных точках, отмеченных на рисунке, — логический анализатор (XLA1). Генератор кодовых слов формирует сигналы синхронно с подключенным к нему генератором U4.

На рис. 2 показаны скриншоты, отображающие настройку генератора кодовых слов (а) и временную диаграмму работы тестера (б) при поступлении SAD-сигналов. При поступлении SAD-сигналов на выходах тестера формируется парафазный сигнал.

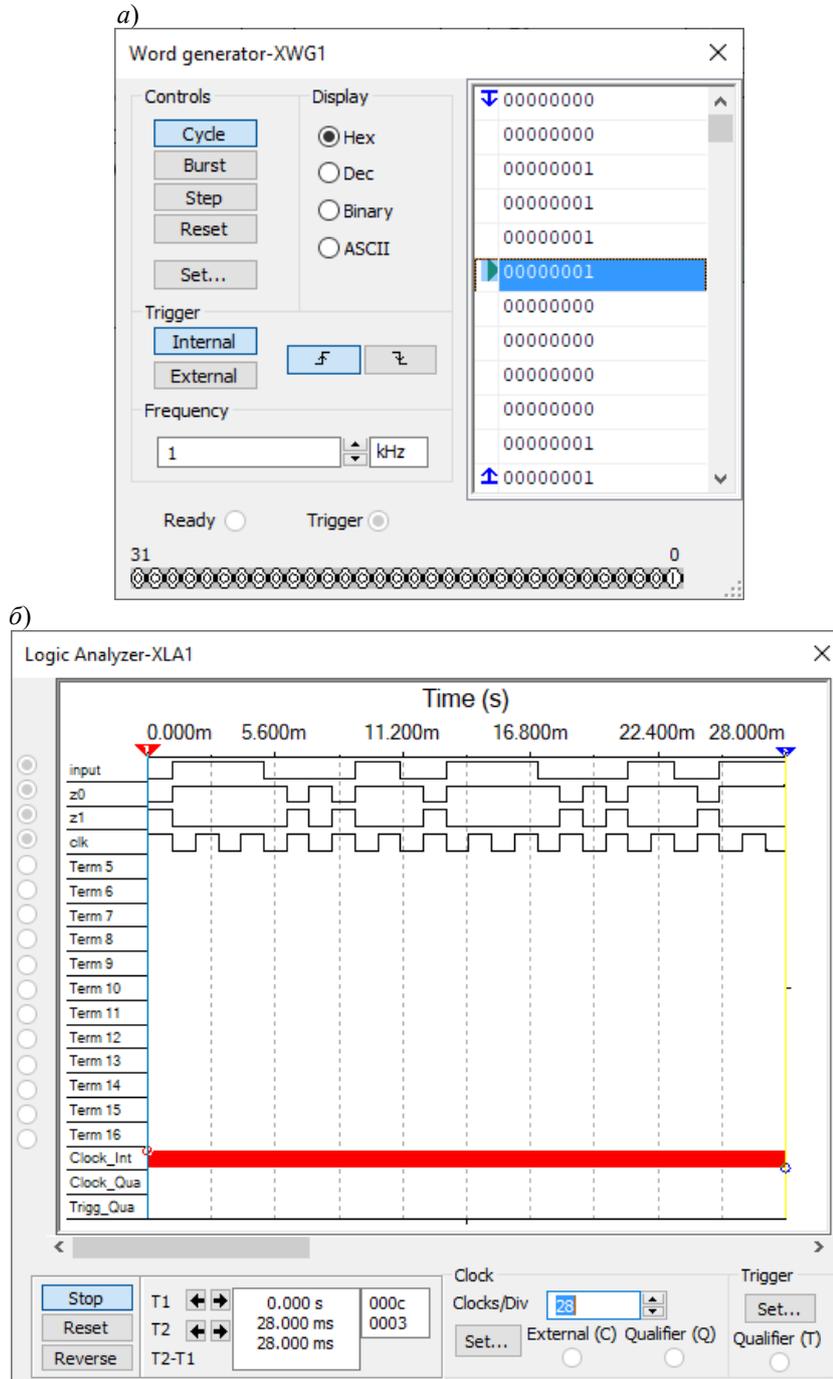


Рис. 2

При поступлении „несамоантидвойственных“ сигналов на выходах SADC должен формироваться непарафазный сигнал. Условия и результаты моделирования показаны на рис. 3, а, б. Генератор кодовых слов настроен так, что в генерируемую последовательность внесен „несамоантидвойственный фрагмент“. Как видно из рис. 3, б, на выходах SADC формируется непарафазный сигнал, т.е. ошибка обнаружена.

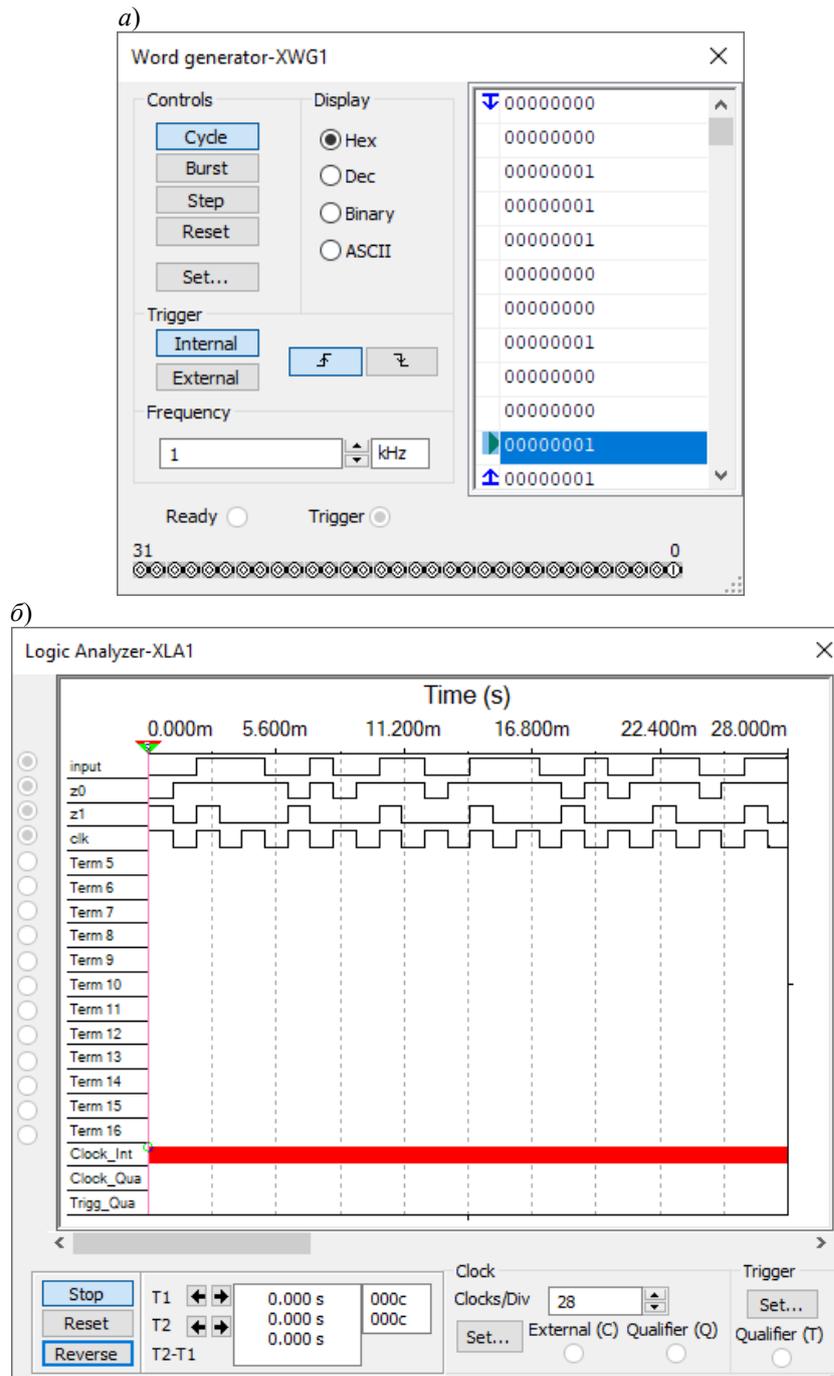


Рис. 3

В ходе исследования также была смоделирована работа обоих тестеров — SDC и SADC — в условиях возникновения одиночных константных неисправностей на выходах внутренних элементов. При всех неисправностях на выходах тестеров формируется непарафазный сигнал, что говорит об их обнаружении. Однако следует отметить, что при неисправности типа „константа 0“ на выходе тактового генератора U4 постоянный парафазный сигнал формируется на выходах тестера (на выходе z0 — сигнал „1“, на выходе z1 — сигнал „0“) независимо от сигналов на входе. Поэтому как SDC, так и SADC будут самопроверяемыми относительно модели одиночных константных неисправностей при условии дополнительного контроля импульсной работы генератора.

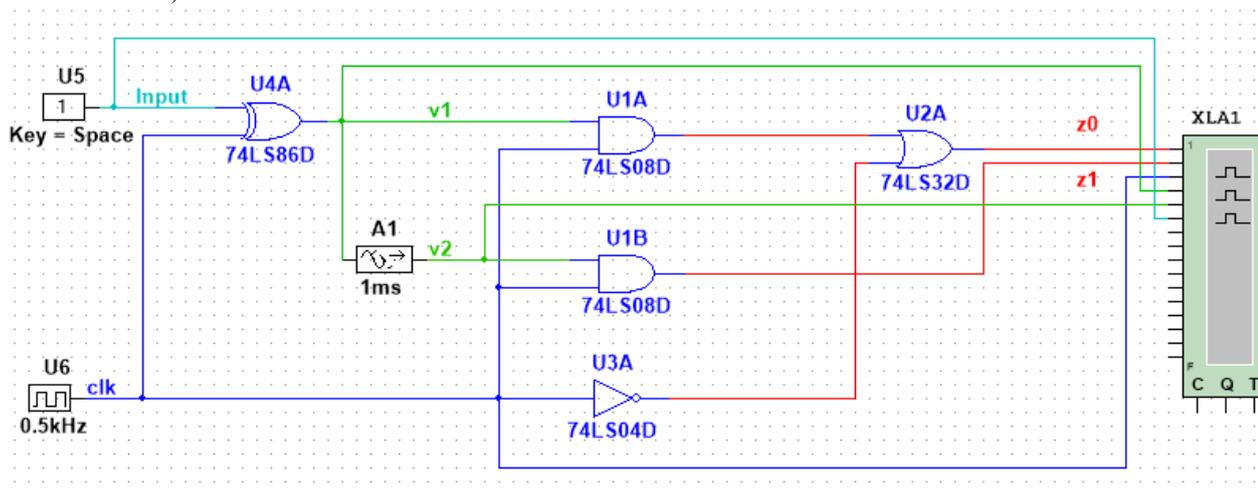
Особенности синхронизации тестеров самодвойственных и самоантидвойственных сигналов. Тестеры SDC и SADC работают следующим образом: они сравнивают сигнал, поступающий на вход f в конкретный момент времени, с сигналом, поступившим на вход какое-то время назад (время, равное задержке). Поэтому для корректного функционирования тестеров

контролируемая схема (объект диагностирования) должна работать в импульсном режиме: на ее входы должны подаваться попеременно с некоторой частотой пары комбинаций (X_1, X_2). При этом частота смены рабочей и инвертированной во всех разрядах входных комбинаций должна быть синхронизирована с элементом задержки тестера.

Также следует учесть и то, что в реальных схемах почти всегда меняются входные рабочие комбинации. Это может привести к возникновению ложного сигнала ошибки. Например, в SDC при изменении комбинации в середине периода задержки на входе схемы и выходе элемента задержки окажется одинаковый сигнал, что приведет к установлению непарафазного сигнала на выходах. Для исключения этого в SDC и SADC добавляются логические элементы и дополнительный вход синхронизации (или тактовый генератор). При появлении на данном входе сигнала логического нуля тестер блокируется и на его выходах появляется сигнал 10. Этот момент следует использовать для изменения рабочей входной комбинации. При изменении комбинации в другой момент произойдет ложная фиксация ошибки. Этот случай проиллюстрирован на рис. 4, а, б.

В представленной схеме элемент XOR (U4A) инвертирует сигнал на входе тестера, а ключ U5 задает рабочий сигнал.

а)



б)

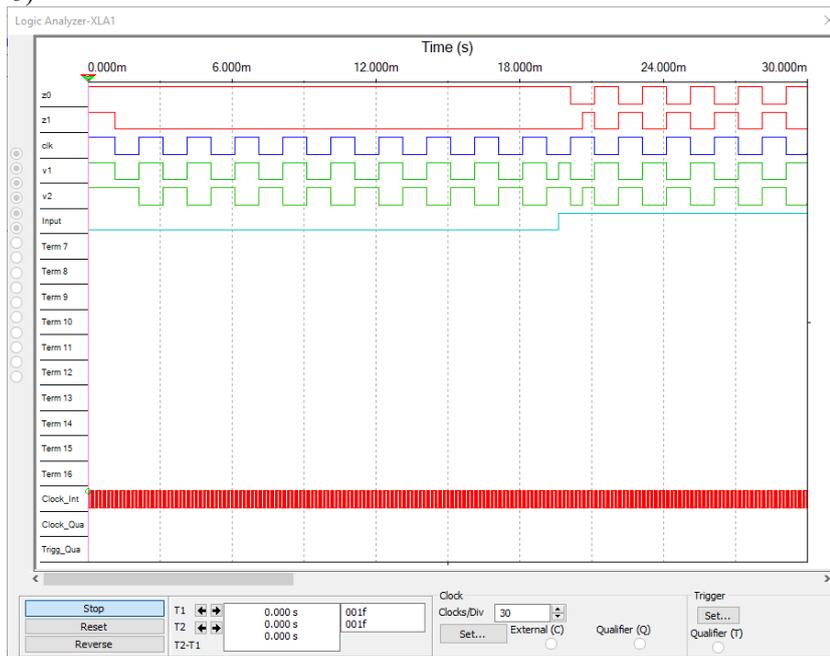


Рис. 4

Для исключения неверной работы устройств SDC и SADC требуется решить задачу синхронизации элемента задержки, частоты смены рабочей и инверсной входных комбинаций, частоты сигнала на входе синхронизации тестера и момента изменения рабочей входной комбинации.

Условия синхронизации тестера проиллюстрируем на модели настроенного SDC (рис. 5).

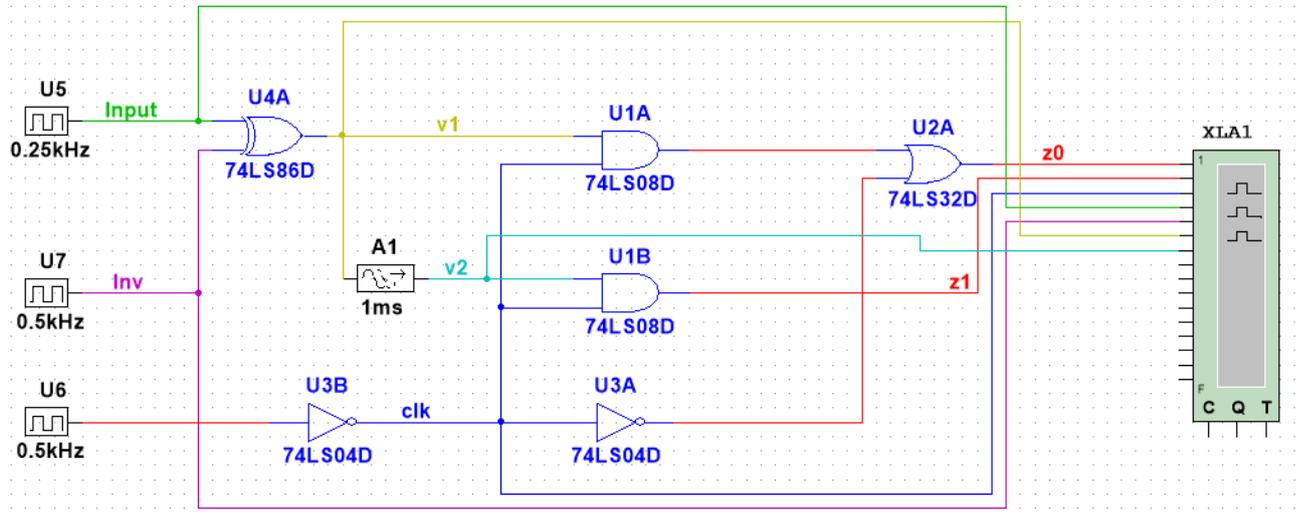


Рис. 5

Определение временных и частотных параметров тестера целесообразно начинать с выбора времени задержки; обозначим это время как τ . На основе времени τ устанавливаются остальные частоты.

Как отмечено выше, тестер сравнивает сигнал, поступивший на его вход, с сигналом на выходе элемента задержки. Время подачи рабочей входной и инверсной ей комбинаций должно быть не менее времени задержки τ , а частота смены комбинаций должна удовлетворять условию

$$F_{\text{inv}} = \frac{1}{2\tau}. \quad (5)$$

В формуле (5) использован множитель „2“, так как за один период сигнала инвертирования подаются прямая (при подаче на инвертирующий вход нуля) и инверсная (при подаче на инвертирующий вход единицы) входные комбинации. Поэтому период инвертированного сигнала должен быть именно в 2 раза больше времени задержки.

Временные диаграммы работы модели при соблюдении и несоблюдении условия (5) приведены на рис. 6: *a* — при $F_{\text{inv}} < \frac{1}{2\tau}$ (0,3 кГц); *b* — при $F_{\text{inv}} > \frac{1}{2\tau}$ (0,75 кГц); *в* — при $F_{\text{inv}} = \frac{1}{2\tau}$ (0,5 кГц). При этом генератор U6 был заменен на генератор постоянного сигнала логической единицы, а генератор U7 — на генератор постоянного сигнала логического нуля. При несоблюдении условия (5) на линиях *v1* и *v2* в некоторые моменты времени формируются одинаковые сигналы, а при соблюдении этого условия сигнал всегда парафазный на обеих линиях.

Также очевидно, что за один цикл работы на входе элемента задержки должны успеть сформироваться и рабочая, и инверсная комбинации, причем время их наличия должно быть одинаковым. Отсюда следует, что время подачи каждой рабочей входной комбинации (τ_{inp}) должно удовлетворять условию

$$\tau_{\text{inp}} \geq 2\tau. \quad (6)$$

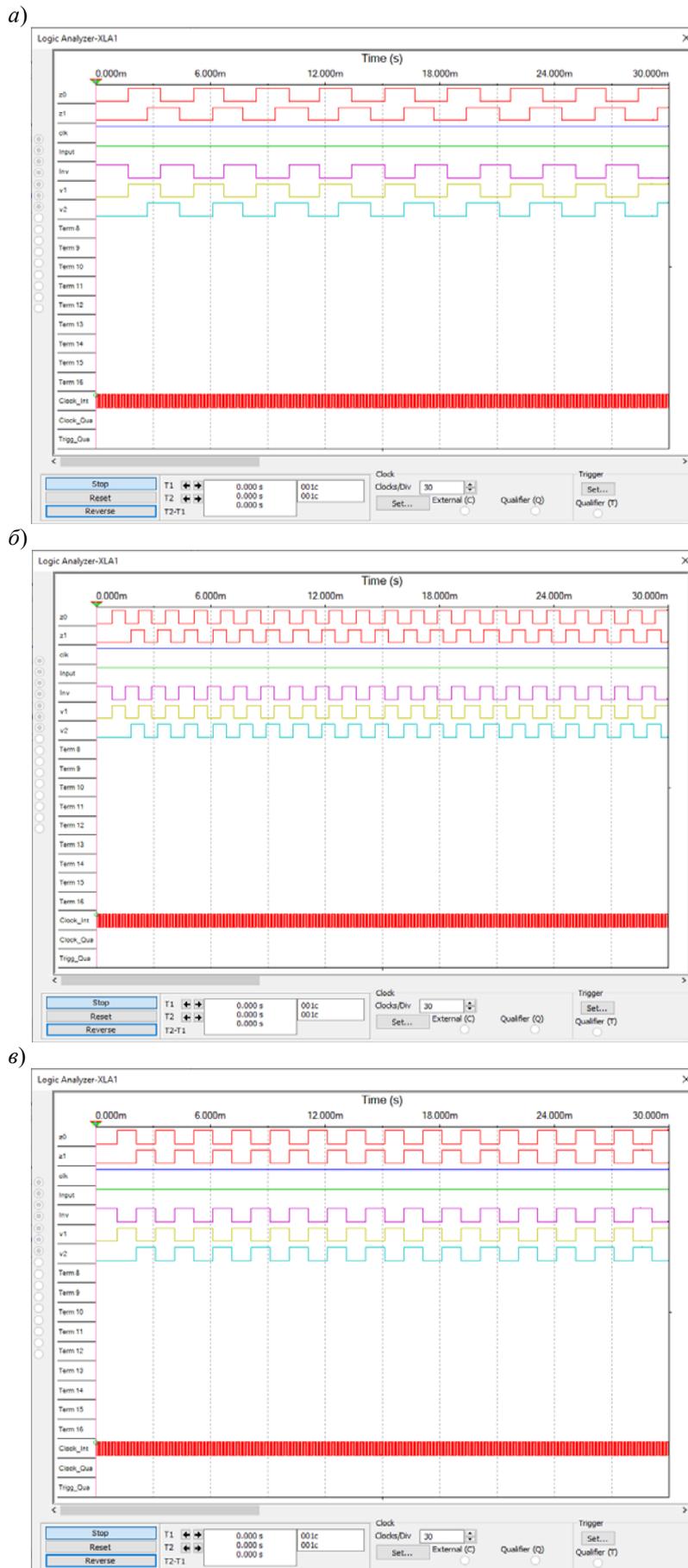


Рис. 6

Временные диаграммы работы модели при соблюдении и несоблюдении условия (6) приведены на рис. 7: *a* — при $\tau_{\text{inp}} < 2\tau$ ($F_{U5} = 0,4$ кГц); *б* — при $\tau_{\text{inp}} = 2\tau$ ($F_{U5} = 0,25$ кГц). Генератор U6 был заменен на генератор постоянного сигнала логического нуля. Генератор U5 формирует самодвойственный сигнал. Как видно, только при соблюдении условия (6) длительность прямого и инвертированного сигналов на линиях v1 и v2 одинакова.

a)



б)

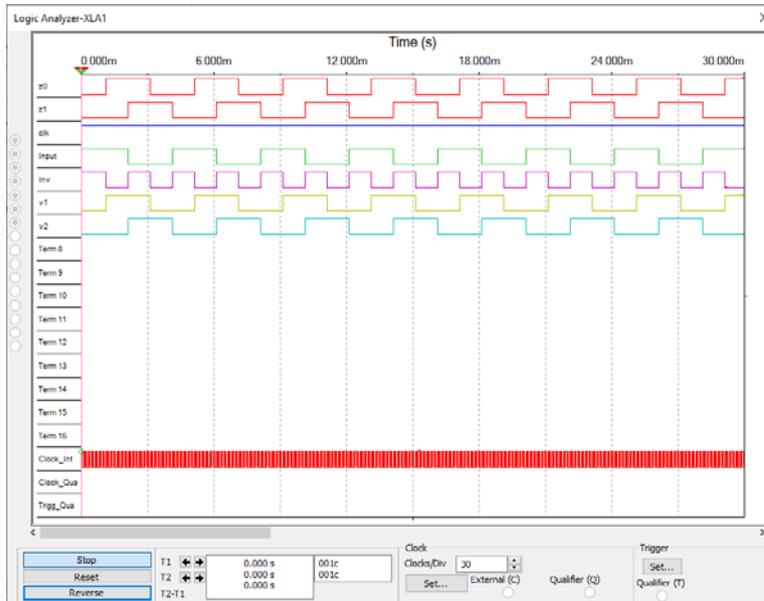


Рис. 7

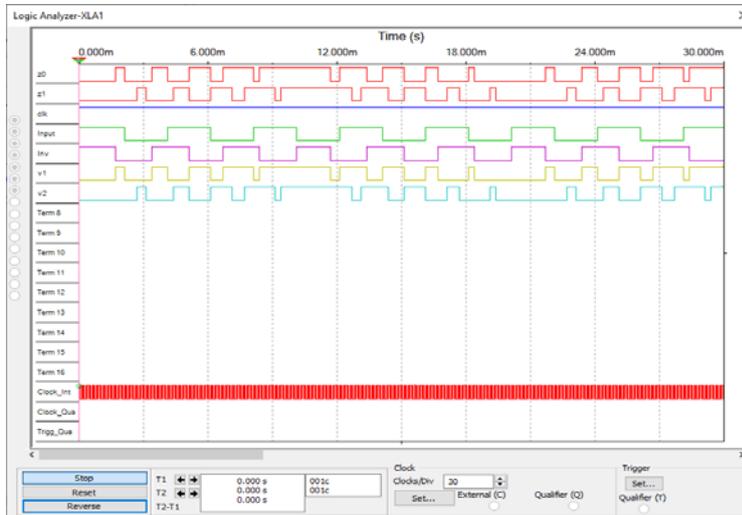
Время подачи рабочей и инверсной комбинаций должно быть в 2 раза меньше минимального τ_{inp} (τ_{min}). Другими словами, частота смены комбинаций должна дополнительно удовлетворять условию

$$F_{\text{inv}} = \frac{1}{\tau_{\text{min}}} . \quad (7)$$

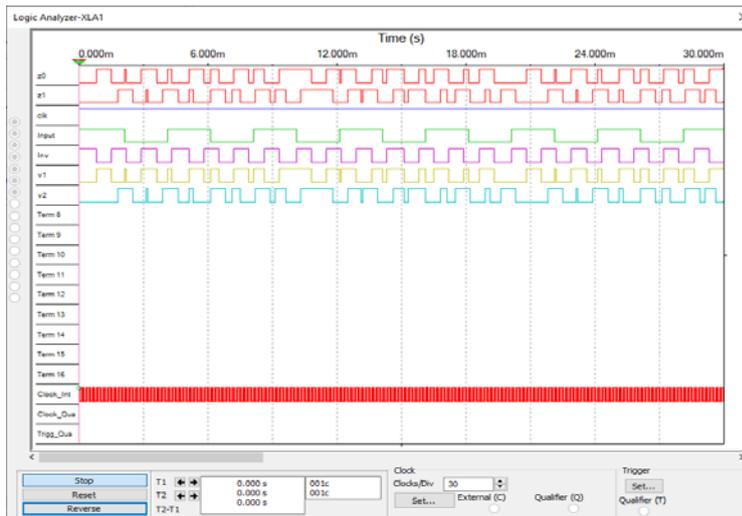
Временные диаграммы работы модели при соблюдении и несоблюдении условия (7) приведены на рис. 8: *a* — при $F_{\text{inv}} < \frac{1}{\tau_{\text{min}}}$ (0,3 кГц); *б* — при $F_{\text{inv}} > \frac{1}{\tau_{\text{min}}}$ (0,7 кГц); *в* — при

$F_{\text{inv}} = \frac{1}{\tau_{\text{min}}}$ (0,5 кГц). Так же как и ранее, генератор U6 был заменен на генератор постоянного сигнала логического нуля. Как видно, только при соблюдении указанного условия длительность прямого и инвертированного сигналов на линиях v1 и v2 одинакова.

а)



б)



в)

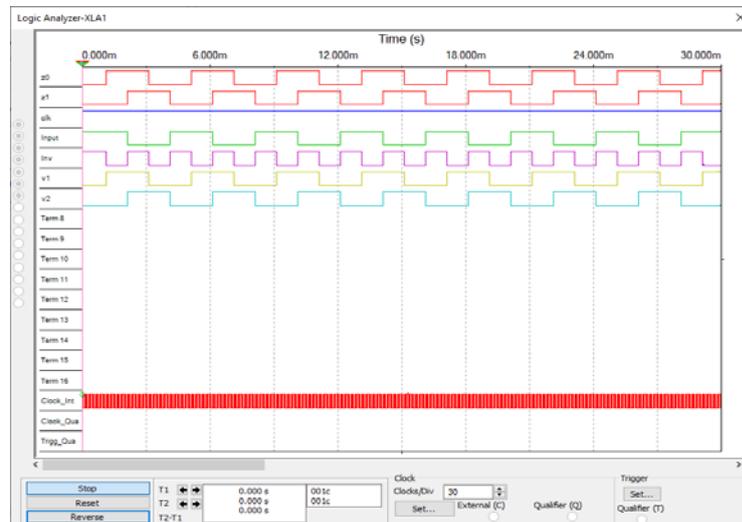


Рис. 8

Еще одно условие вытекает из следующей особенности. При смене рабочей входной комбинации появляется период, когда на прямой линии тестера и линии задержки формируется одинаковый сигнал. Длительность этого периода равна времени задержки. Во избежание ложного возникновения сигнала ошибки на выходе тестера в течение всего этого периода тестер должен быть заблокирован, т.е. на тактовый вход должен поступать нуль. Таким образом, длительность сигнала логического нуля на тактовом входе должна быть не меньше τ , а частота сигнала на тактовом входе должна удовлетворять условию

$$F_{\text{clk}} \leq \frac{1}{2\tau}. \quad (8)$$

Временные диаграммы работы модели при соблюдении и несоблюдении условия (8) приведены на рис. 9: *а* — при $F_{\text{clk}} > \frac{1}{2\tau}$ (0,7 кГц); *б* — при $F_{\text{clk}} = \frac{1}{2\tau}$ (0,5 кГц). Генератор U6 был заменен на генератор постоянного сигнала логического нуля. Как видно из диаграмм, только при соблюдении условия (8) длительность прямого и инвертированного сигналов на линиях v1 и v2 одинакова.

б)



б)

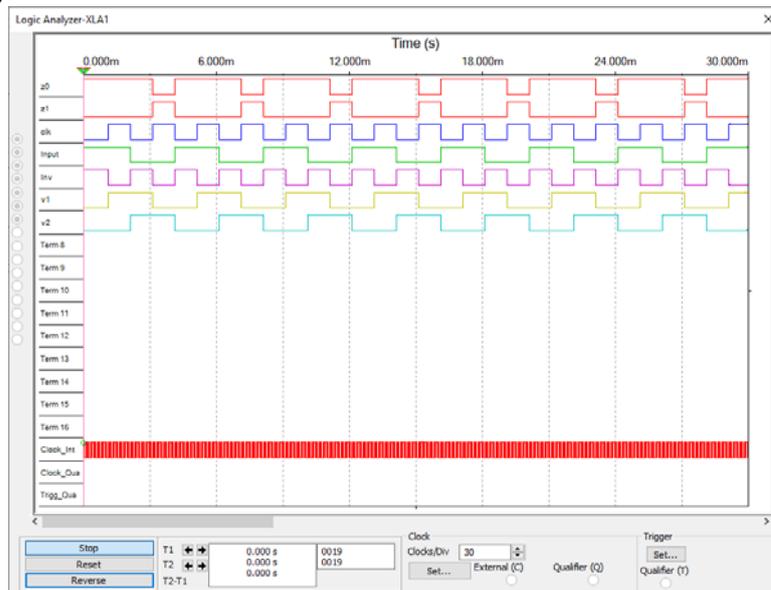


Рис. 9

Дополнительно изменение рабочей входной комбинации должно происходить только в момент изменения сигнала на тактовом входе тестера с логической единицы на логический нуль. Если изменение произойдет в момент, когда на тактовый вход приходит сигнал „1“, то на обеих линиях будет одинаковый сигнал в момент, когда тестер не заблокирован, что приведет к ложной регистрации ошибки. Если изменение произойдет в момент, когда на тактовый вход поступает „0“, но позже изменения с „1“ на „0“, то времени блокировки тестера может не хватить, и когда на тактовом входе появится сигнал „1“, на обеих линиях все еще будет присутствовать одинаковый сигнал, что также приведет к ложной фиксации ошибки. На рис. 4, б как раз можно видеть диаграмму, иллюстрирующую переключение входной комбинации не в момент изменения сигнала на тактовом входе тестера с „1“ на „0“.

Тестер не должен быть заблокирован в течение всего времени подачи рабочей входной комбинации. Также время подачи прямой и инверсной во всех разрядах комбинаций должно быть одинаковым. Рассмотрим крайний случай, когда входная комбинация подается в течение минимального времени τ_{\min} . Инверсная ей комбинация должна подаваться в течение этого же времени. Отсюда вытекает условие

$$F_{\text{clk}} = \frac{1}{2\tau_{\min}}. \quad (9)$$

Представленные условия (5)—(9) позволяют настроить работу тестеров для использования их в схемах встроенного контроля.

Заключение. Использование предложенного тестера самоантидвойственных сигналов позволяет на практике увеличить число вариантов построения самопроверяемых и отказоустойчивых устройств, принципы реализации которых основаны на внесении временной избыточности и функционировании в импульсном режиме. Для синтеза самоантидвойственных устройств могут быть применены известные методы [12—20]. Более того, любая булева функция может быть преобразована в самоантидвойственную с использованием одной дополнительной переменной и известного разложения К. Э. Шеннона, аналогично тому, как это делается при преобразовании произвольных булевых функций в самодвойственные [24].

В статье обоснована необходимость синхронизации работы элемента задержки SDC и SADC, частоты смены рабочей и инверсной входных комбинаций, частоты сигнала на входе синхронизации тестера и момента изменения рабочей входной комбинации для корректного функционирования реальных цифровых устройств.

Использование свойств самодвойственных и самоантидвойственных булевых функций позволяет на практике синтезировать цифровые устройства, наделенные свойством обнаружения неисправностей и ошибок в вычислениях, а также свойством нечувствительности к отдельным видам ошибок.

СПИСОК ЛИТЕРАТУРЫ

1. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Основы теории надежности и технической диагностики. СПб: Изд-во „Лань“, 2019. 588 с.
2. Ефанов Д. В., Погодина Т. С. Исследование свойств самодвойственных комбинационных устройств с контролем вычислений на основе кодов Хэмминга // Информатика и автоматизация. 2023. Т. 22, № 2. С. 349—392. DOI: 10.15622/ia.22.2.5.
3. Drozd A., Kharchenko V., Antoshchuk S., Sulima J., Drozd M. Checkability of the Digital Components in Safety-Critical Systems: Problems and Solutions // Proc. of the 9th IEEE East-West Design & Test Symp. (EWDTS'2011), Sevastopol, Ukraine. 2011. P. 411—416. DOI: 10.1109/EWDTS.2011.6116606.
4. Дрозд А. В., Харченко В. С., Антошук С. Г., Дрозд Ю. В., Дрозд М. А., Сулима Ю. Ю. Рабочее диагностирование безопасных информационно-управляющих систем / Под ред. А. В. Дрозда и В. С. Харченко. Харьков: Нац. аэрокосм. ун-т им. Н. Е. Жуковского „ХАИ“, 2012. 614 с.

5. *Kharchenko V., Kondratenko Yu., Kasprzyk J.* Green IT Engineering: Concepts, Models, Complex Systems Architectures // Springer Book Ser. “Studies in Systems, Decision and Control”. 2017. Vol. 74. 305 p. DOI: 10.1007/978-3-319-44162-7.
6. *Сапожников Вл. В.* Синтез систем управления движением поездов на железнодорожных станциях с исключением опасных отказов. М.: Наука, 2021. 229 с.
7. *Яблонский С. В.* Введение в дискретную математику / Под ред. *В. А. Садовничева*. М.: Высш. школа, 2003. 384 с.
8. *Reynolds D. A., Meize G.* Fault Detection Capabilities of Alternating Logic // IEEE Trans. on Computers. 1978. Vol. C-27, iss. 12. P. 1093—1098. DOI: 10.1109/TC.1978.1675011.
9. *Аксьёнова Г. П.* Восстановление в дублированных устройствах методом инвертирования данных // Автоматика и телемеханика. 1987. № 10. С. 144—153.
10. *Biernat J.* Self-Dual Modules in Design of Dependable Digital Devices // Intern. Conf. on Dependability of Computer Systems, Szklarska Poreba, Poland, 25—27 May 2006. DOI: 10.1109/DEPCOS-RELCOMEX.2006.50.
11. *Rai S., Raitza M., Sahoo S. S., Kumar A.* DiSCERN: Distilling Standard-Cells for Emerging Reconfigurable Nanotechnologies // Design, Automation & Test in Europe: Conf. & Exhibition (DATE), Grenoble, France, 09—13 March 2020. DOI: 10.23919/DATE48585.2020.9116216.
12. *Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.* Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика. 1999. № 11. С. 162—174.
13. *Saposhnikov Vl. V., Moshanin V., Saposhnikov V. V., Goessel M.* Experimental Results for Self-Dual Multi-Output Combinational Circuits // Journal of Electronic Testing: Theory and Applications. 1999. Vol. 14, iss. 3. P. 295—300. DOI: 10.1023/A:1008370405607.
14. *Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.* Обнаружение неисправностей в комбинационных схемах с помощью самодвойственного контроля // Автоматика и телемеханика. 2000. № 7. С. 140—149.
15. *Гессель М., Дмитриев А. В., Сапожников В. В., Сапожников Вл. В.* Исследование свойств самодвойственных самопроверяемых многотактных схем // Автоматика и телемеханика. 2001. № 4. С. 148—159.
16. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking. Dordrecht: Springer Science+Business Media B.V., 2008. 184 p.
17. *Efanov D., Sapozhnikov V., Sapozhnikov Vl., Osadchy G., Pivovarov D.* Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proc. of the 17th IEEE East-West Design & Test Symp. (EWDTS'2019), Batumi, Georgia, Sept. 13—16, 2019. P. 136—143. DOI: 10.1109/EWDTS.2019.8884398.
18. *Efanov D. V., Pogodina T. S.* Self-Dual Digital Devices with Calculations Testing by Modified Hamming Code // Proc. of the 2023 Conf. of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus), St. Petersburg, Russia, 24 — 27 January 2023. P. 72—77.
19. *Ефанов Д. В., Погодина Т. С.* Самодвойственные цифровые устройства с контролем вычислений по кодам Сяо // Вестн. Томского гос. ун-та. Управление, вычислительная техника и информатика. 2023. № 63. С. 118—136. DOI: 10.17223/19988605/63/14.
20. *Ефанов Д. В., Погодина Т. С.* Контроль самодвойственных устройств с применением схем сжатия на основе полных сумматоров // Изв. вузов. Приборостроение. 2023. Т. 66, № 7. С. 539—558. DOI: 10.17586/0021-3454-2023-66-7-539-558.
21. *Шальто А. А.* Логическое управление. Методы аппаратной и программной реализации. СПб: Наука, 2000. 780 с.
22. *Шальто А. А.* Модули, универсальные в классе самодвойственных функций и в „близких“ к ним классах // Изв. РАН. Теория и системы управления. 2001. № 5. С. 110—120.
23. *Закревский А. Д., Поттосин Ю. В., Черемисинова Л. Д.* Логические основы проектирования дискретных устройств. М.: Физматлит, 2007. 592 с.

24. Гессель М., Мошанин В. И., Сапожников В. В., Сапожников Вл. В. Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций // Автоматика и телемеханика. 1997. № 12. С. 193—200.

Сведения об авторах

- Дмитрий Викторович Ефанов** — д-р техн. наук, профессор; Российский университет транспорта, кафедра автоматки, телемеханики и связи на железнодорожном транспорте; Санкт-Петербургский политехнический университет Петра Великого, Высшая школа транспорта Института машиностроения, материалов и транспорта; профессор;
E-mail: TrES-4b@yandex.ru
- Дмитрий Вячеславович Пивоваров** — канд. техн. наук; Петербургский государственный университет путей сообщения Императора Александра I, кафедра автоматки и телемеханики на железных дорогах; доцент;
E-mail: pivovarov.d.v.spb@gmail.com

Поступила в редакцию 23.08.2023; одобрена после рецензирования 30.09.2023; принята к публикации 14.11.2023.

REFERENCES

- Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. *Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki* (Fundamentals of the Theory of Reliability and Technical Diagnostics), St. Petersburg, 2019, 588 p. (in Russ.)
- Efanov D.V., Pogodina T.S. *Informatics and Automation*, 2023, no. 2(22), pp. 349–392, DOI: 10.15622/ia.22.2.5. (in Russ.)
- Drozd A., Kharchenko V., Antoshchuk S., Sulima J., Drozd M. *Proceedings of the 9th IEEE East-West Design & Test Symposium (EWDTS'2011)*, Sevastopol, Ukraine, 2011, pp. 411–416, DOI: 10.1109/EWDTS.2011.6116606.
- Drozd A.V., Kharchenko V.S., Antoshchuk S.G., Drozd Yu.V., Drozd M.A., Sulima Yu.Yu. *Rabocheye diagnostirovaniye bezopasnykh informatsionno-upravlyayushchikh sistem* (Working Diagnostics of Safe Information and Control Systems), Khar'kov, 2012, 614 p. (in Russ.)
- Kharchenko V., Kondratenko Yu., Kacprzyk J. *Green IT Engineering: Concepts, Models, Complex Systems Architectures*, Book series "Studies in Systems, Decision and Control", 2017, vol. 74, 305 p., DOI: 10.1007/978-3-319-44162-7.
- Sapozhnikov V.I. *Sintez sistem upravleniya dvizheniyem poyezdov na zheleznodorozhnykh stantsiyakh s isklyucheniyem opasnykh otkazov* (Synthesis of Train Traffic Control Systems at Railway Stations with the Exception of Dangerous Failures), Moscow, 2021, 229 p. (in Russ.)
- Yablonskiy S.V. *Vvedeniye v diskretnuyu matematiku* (Introduction to Discrete Mathematics), Moscow, 2003, 384 p. (in Russ.)
- Reynolds D.A., Meize G. *IEEE Transactions on Computers*, 1978, no. 12(C-27), pp. 1093–1098, DOI: 10.1109/TC.1978.1675011.
- Aksenova G.P. *Avtomatika i Telemechanika*, 1987, no. 10, pp. 144–153. (in Russ.)
- Biernat J. *International Conference on Dependability of Computer Systems*, May, 25–27 2006, Szklarska Poreba, Poland, DOI: 10.1109/DEPCOS-RELCOMEX.2006.50.
- Rai S., Raitza M., Sahoo S.S., Kumar A. *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, March 09–13, 2020, Grenoble, France, DOI: 10.23919/DATE48585.2020.9116216.
- Gessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automation and Remote Control*, 1999, no. 11(60), pp. 1653–1663.
- Sapozhnikov V.I., Moshanin V., Sapozhnikov V.V., Goessel M. *Journal of Electronic Testing: Theory and Applications*, 1999, no. 3(14), pp. 295–300, DOI: 10.1023/A:1008370405607.
- Gessel' M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automation and Remote Control*, 2000, no. 7(61), pp. 1192–1200.
- Gessel' M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov V.I. *Automation and Remote Control*, 2001, no. 4, pp. 642–652.
- Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. *New Methods of Concurrent Checking: Edition 1*, Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
- Efanov D., Sapozhnikov V., Sapozhnikov V.I., Osadchy G., Pivovarov D. *Proceedings of the 17th IEEE East-West Design & Test Symposium (EWDTS'2019)*, Batumi, Georgia, September 13–16, 2019, pp. 136–143, DOI: 10.1109/EWDTS.2019.8884398.
- Efanov D.V., Pogodina T.S. *Proceedings of the 2023 Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*, January 24–27, 2023, St. Petersburg, Russia, pp. 72–77.
- Efanov D.V., Pogodina T.S. *Vestnik Tomskogo Gosudarstvennogo Universiteta - Upravlenie, Vychislitel'naya Tekhnika i Informatika*, 2023, no. 63, pp. 118–136, DOI: 10.17223/19988605/63/14. (in Russ.)
- Efanov D.V., Pogodina T.S. *Journal of Instrument Engineering*, 2023, no. 7(66), pp. 539–558, DOI: 10.17586/0021-3454-2023-66-7-539-558. (in Russ.)
- Shalyto A.A. *Logicheskoye upravleniye. Metody apparatnoy i programmnoy realizatsii* (Logical Control. Hardware and Software Implementation Methods), St. Petersburg, 2000, 780 p. (in Russ.)
- Shalyto A.A. *Journal of Computer and Systems Sciences International*, 2001, no. 5, pp. 782–792.

23. Zakrevsky A.D., Pottosin Yu.V., Cheremisinova L.D. *Logicheskiye osnovy proyektirovaniya diskretnykh ustroystv* (Logical Foundations of Discrete Device Design), Moscow, 2007, 592 p. (in Russ.)
24. Hessel M., Moshanin V.I., Sapozhnikov V.V., Sapozhnikov VI.V. *Avtomatika i Telemekhanika*, 1997, no. 12, pp. 193–200. (in Russ.)

Data on authors

- Dmitry V. Efanov** — Dr. Sci., Professor; Russian University of Transport, Department of Automation, Remote Control, and Communications on Railway Transport; Peter the Great St. Petersburg Polytechnic University, Higher School of Transport, Institute of Mechanical Engineering, Materials, and Transport; Professor; E-mail: TrES-4b@yandex.ru
- Dmitry V. Pivovarov** — PhD; Emperor Alexander I St. Petersburg State Transport University, Department of Automation and Telemechanics on Railways; Associate Professor; E-mail: pivovarov.d.v.spb@gmail.com

Received 23.08.2023; approved after reviewing 30.09.2023; accepted for publication 14.11.2023.